



**Non volatile memory cell for e.g. flash EEPROM or flash memory card**

**Patent number:** DE19649410  
**Publication date:** 1998-01-29  
**Inventor:** CHOI WOONG LIM (KR)  
**Applicant:** LG SEMICON CO LTD (KR)  
**Classification:**  
- **international:** G11C16/02  
- **european:** G11C11/56D; G11C11/56D2; G11C11/56D2E;  
G11C16/04F2; H01L29/423D2B2B  
**Application number:** DE19961049410 19961128  
**Priority number(s):** KR19960029695 19960723

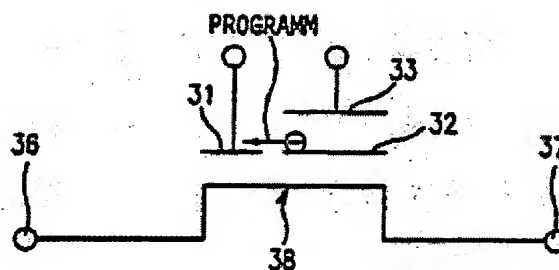
Also published as:

 US6034892 (A1)  
 JP10070205 (A)

[Report a data error here](#)

**Abstract of DE19649410**

The memory cell has a programming /selector gate (31), a potential connected gate (32), a control gate (33), and a transistor unit connected to the potential connected gate. The selector gate, e.g. a tunnel diode, provides a connection to an external programming unit which determines whether a cell is to undergo a read, program, or erase process. During a programming process, charges are stored by the data memory and are removed from the selector gate by the potential connected gate, e.g. another tunnel diode, the control gate (33) controlling the charge level via capacitive coupling. Each of the gates are connected to the transistor with a channel region (36), a source (36) and a drain (37).



Data supplied from the **esp@cenet** database - Worldwide



⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 196 49 410 A 1**

⑤ Int. Cl.<sup>8</sup>:  
**G11C 16/02**

⑳ Aktenzeichen: 196 49 410.9  
㉑ Anmeldetag: 28. 11. 98  
㉒ Offenlegungstag: 29. 1. 98

DE 196 49 410 A 1

⑶ Unionspriorität:

29695/98 23.07.98 KR

⑦ Anmelder:

LG Semicon Co., Ltd., Cheongju, KR

⑦A Vertreter:

TER MEER STEINMEISTER & Partner GbR  
Patentanwälte, 81679 München

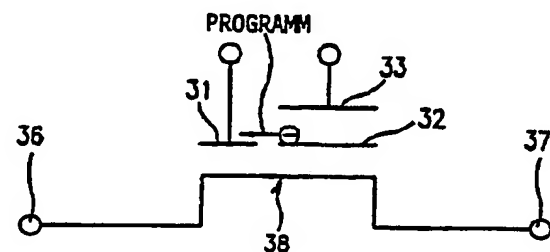
⑦B Erfinder:

Choi, Woong Lim, Cheongju, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Nichtflüchtige Speicherzelle und Verfahren zum Programmieren derselben

⑤ Es werden eine nichtflüchtige Speicherzelle und ein Verfahren zum Programmieren derselben offenbart, wobei für Einzelpegel- oder Mehrpegelprogrammierung vorbestimmte Spannungen an ein Steuergate (33), eine Source (36) und einen Drain (37) angelegt werden, um die Ladungsmenge in einem potentialungebundenen Gate (32) so zu variieren, daß ein Kanal (38) in einem Transistor in einem Anfangsstadium der Programmierung abgeschaltet und danach eingeschaltet wird, wobei mindestens eine der Spannungen, wie sie an das Steuergate und ein Programmier-/Auswählgate (31) angelegt werden, eingestellt wird, um den Programmiervorgang zu beenden, wenn die Leitfähigkeit im Kanalbereich einen Bezugswert erreicht.



DE 196 49 410 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 11. 97 702 065/642

31/22

## Beschreibung

Die Erfindung betrifft eine nichtflüchtige Speicherzelle und ein Verfahren zum Programmieren derselben. Um mit der immer weiterreichenden Anwendung nichtflüchtiger Speicherzellen, wie Flash-EEPROMs und Flash-Speicherkarten, Schritt zu halten, ist dauernde Forschung und Entwicklung derartiger nichtflüchtiger Speicherzellen erforderlich.

Im allgemeinen besteht bei der Verwendung nichtflüchtiger Halbleiterspeicher wie EEPROMs und Flash-EEPROMs als Massenspeichermedien der Nachteil, daß es höchst schwierig ist, die hohen Kosten pro Bit bei derartigen Speichern zu überwinden. Für die Anwendung nichtflüchtiger Speicher in tragbaren Erzeugnissen sind Chips nichtflüchtiger Speicher mit niedrigem Energieverbrauch erforderlich. Um die Kosten pro Bit zu verringern, laufen aktive Untersuchungen hinsichtlich Speicher mit mehreren Bits pro Zelle.

Die Packungsdichte eines herkömmlichen nichtflüchtigen Speichers entspricht eins zu eins von Speicherzellen. Eine Mehrbitzelle speichert Daten mit mehr als zwei Bits in einer Speicherzelle, wodurch die Datendichte auf derselben Chipfläche erhöht ist, ohne daß eine Größenänderung einer Speicherzelle vorliegt.

Um eine Mehrbitzelle zu realisieren, sollten mehr als zwei Schwellenspannungspegel für jede Speicherzelle programmiert werden. Um z. B. Daten mit zwei Bits für jede Zelle zu speichern, müssen die jeweiligen Zellen auf 2<sup>2</sup>, d. h. vier Schwellenpegel, programmiert werden. Hierbei entsprechen vier Schwellenpegel den logischen Zuständen 00, 01, 10 bzw. 11.

Bei einem Programm für mehrere Pegel besteht das kritischste Problem darin, daß die jeweiligen Schwellenspannungspegel eine statistische Streuung aufweisen. Der Streuungswert beträgt ungefähr 0,5 V.

Da sich die Streuung verringert, wenn die jeweiligen Schwellenpegel genau eingestellt werden, können mehr Pegel programmiert werden, was seinerseits die Anzahl von Bits pro Zeile erhöht. Um die Spannungsstreuung zu verringern, existiert ein Programmierverfahren, bei dem Programmier- und Verifizierungsvorgänge wiederholt werden.

Gemäß diesem Verfahren wird eine Reihe von Spannungsimpulsen an die Zeilen angelegt, um jede nichtflüchtige Speicherzelle auf vorgesehene Schwellenpegel zu programmieren. Um zu verifizieren, ob eine Zeile einen vorgesehenen Schwellenpegel erreicht hat, wird zwischen den jeweiligen programmierenden Spannungsimpulsen ein Lesevorgang ausgeführt.

Während der Verifizierung hält die Programmierung an, wenn der verifizierte Schwellenpegel den vorgesehenen Schwellenpegel erreicht. Mit diesem Verfahren wiederholter Programmierung und Verifizierung ist es schwierig, die Abweichungsstreuung des Schwellenpegels zu verringern, und zwar aufgrund der begrenzten Impulsbreite der Programmierspannung. Außerdem ist der Algorithmus für die wiederholte Programmierung und Verifizierung durch eine Zusatzschaltung realisiert, die die Fläche der Peripherieschaltungen des Chips erhöht. Ferner verlängert das Wiederholungsverfahren die Programmierzeit. Um diesen Nachteil zu überwinden, schlugen R. Cernea von SunDisk Co., Ltd. im am 6. Juni 1996 erteilten US-Patent Nr. 5,422,842 ein Verfahren zum gleichzeitigen Programmieren und Verifizieren vor.

Fig. 1a zeigt das Symbol und Schaltbild eines nichtflüchtigen Speichers, wie von Cernea vorgeschlagen. Wie es in Fig. 1a dargestellt ist, besteht die nichtflüchtige Speicherzelle aus einem Steuergate 1, einem potentialungebundenen Gate 2, einer Source 3, einem Kanalgebiet 4 und einem Drain 5.

Wenn an das Steuergate 1 und den Drain 5 Spannungen angelegt werden, die dazu ausreichen, einen Programmierungsvorgang hervorzurufen, fließt ein Strom zwischen dem Drain 5 und der Source 3. Dieser Strom wird mit einem Bezugsstrom verglichen, und wenn er einen Wert erreicht, der dem Bezugsstrom entspricht oder kleiner ist, wird ein Programmierabschlusssignal erzeugt.

Der obengenannte Ablauf ist in Fig. 1b veranschaulicht.

Die selbständige Verifizierung eines programmierten Zustands gleichzeitig mit dem Programmieren, gemäß diesem Stand der Technik, kann den Nachteil der Wiederholung der Programmverifizierung in gewissem Ausmaß kompensieren.

Jedoch schlägt R. Cernea weder die Verwendung eines gesonderten Programmiergates für den Programmierungsvorgang noch die Verwendung eines Aufbaus vor, bei dem Pfade für den Programmierstrom und den Mess(oder Verifizier-)strom völlig getrennt sind. Darüber hinaus wird der Schwellenpegel nicht durch eine Spannung eingestellt, die an das Steuergate der Speicherzelle angelegt wird. Daher ist eine gesonderte Optimierung des Programmier- und des Meßvorgangs schwierig. Die nicht gesonderten Ströme zur Programmierung und zum Überwachen verursachen eine direkte Steuerung der Schwellenspannung der Zelle.

Außerdem offenbart das am 27. August 1991 erteilte US-Patent Nr. 5,043,940 ein Verfahren zum Ausführen einer Programmierung für mehrere Pegel, bei der Spannungen, wie sie an jeden Anschluß der Speicherzelle gelegt werden, festliegen, während Bezugsströme für jeweilige Pegel variiert werden. Bei diesen Verfahren ist, wie es in Fig. 1b dargestellt ist, die Beziehung zwischen den Bezugsströmen zur Erkennung und den Zellschwellenspannungen weder eindeutig noch linear.

Daher haben Programmierverfahren vom stromgesteuerten Typ, wie die vorstehend genannten bekannten Verfahren, den Nachteil, daß eine direkte und wirkungsvolle Steuerung auf mehrere Pegel nicht einfach ist.

Um diese Probleme zu beseitigen, schlug der Erfinder in der unveröffentlichten US-Patentanmeldung Nr. 8/542,651 ein Programmierverfahren vom spannungsgesteuerten Typ vor, bei dem eine genaue Steuerung der Schwellenspannung einer Zelle mittels einer an das Steuergate der Zelle angelegten Spannung ermöglicht ist. Gemäß diesem Verfahren entspricht eine Verschiebung der Schwellenspannung einer Zelle exakt der Verschiebung der Steuergatespannung. Daher kann die Schwellenspannung ideal eingestellt werden. Bei diesem Verfahren wird jedoch ein Transistorkanal beim Programmierstart eingeschaltet (d. h. invertiert), um einen Strom durch ihn hindurchzuleiten, und der Strom am Drain nimmt ab, wenn die Programmierung fortschreitet, bis ein vorbestimmter Bezugsstrom erreicht ist, wenn die Programmierung beendet ist, was bewirkt, daß beim Pro-

grammierstart der maximale Strom fließt, der danach abnimmt, was hohen Anfangsenergieverbrauch erfordert. Indessen können Zellenstrukturen für EEPROMs und Flash-EEPROMs abhängig von der Position des potentialungebundenen Gates auf dem Kanalbereich in zwei Arten eingeteilt werden.

Die erste ist die einfache Struktur mit Stapelgate, bei der das potentialungebundene Gate den Kanalbereich völlig überdeckt, und die zweite ist die Struktur mit unterteiltem Kanal, bei der das potentialungebundene Gate nur einen Teil des Kanalbereichs zwischen der Source und dem Drain bedeckt. Der Kanalbereich ohne darauf befindliches potentialungebundenen Gate wird als Auswahltransistor bezeichnet, wobei der Auswahltransistor und der Transistor mit potentialungebundenem Gate, die in Reihe geschaltet sind, eine Speicherzelle bilden.

Diese Zelle vom Typ mit unterteiltem Kanal wird wiederum, abhängig von Verfahren zum Herstellen des Auswahltransistors, in zwei Arten unterteilt, nämlich eine verschmolzene Zelle mit unterteiltem Gate, bei der eine Steuergateelektrode für den Transistor mit potentialungebundenem Gate und eine Gateelektrode für den Auswahltransistor zu einer Elektrode integriert sind, und eine Zelle mit unterteiltem Gate, bei der die Steuergateelektrode des Transistors mit potentialungebundenem Gate und die Gateelektrode des Auswahltransistors getrennt sind. Der Auswahltransistor wurde hinzugefügt, um das Problem eines übermäßigen Löschens zu verhindern und um die Ausbildung eines kontaktfreien virtuellen Maßarrays zu vereinfachen. Außerdem wurde die Zelle mit unterteiltem Gate eingeführt, um die Injektion heißer Elektroden von der Sourceseite her zu erleichtern.

Fig. 2a zeigt ein Diagramm einer herkömmlichen nichtflüchtigen Speicherzelle vom einfachen Typ mit Stapelgate, und Fig. 2b zeigt ein Diagramm einer herkömmlichen nichtflüchtigen Speicherzelle vom Typ mit unterteiltem Kanal. Fig. 2a und 2b veranschaulichen Strukturen herkömmlicher nichtflüchtiger Speicherzellen zusammen mit Löschrprozessen. In Fig. 2a sind ein Steuergate 6, ein potentialungebundenen Gate 7, eine Source 8, ein Drain 9, ein Kanalbereich 10 und ein Gate 11 zur Verwendung bei Löschvorgängen dargestellt. In Fig. 2b sind ein Steuergate 13, ein potentialungebundenen Gate 14, eine Source 15, ein Drain 16, ein Kanalbereich 17 und ein Gate 18 zur Verwendung bei Löschvorgängen dargestellt.

Gemäß den Fig. 2a und 2b wird, da die Löschgates 11 und 18 solche sind, die während des Programmierbetriebs nicht erforderlich sind, jede der in den Fig. 2a und 2b dargestellten herkömmlichen Zellen tatsächlich zu einer Konstruktion, die mit einer doppelten Mehrfachgatekonstruktion übereinstimmt.

Zusammengefaßt gesagt, ist bei allen bisher bekannten Zellen, da ein Programmiervorgang nur mit Elektroden des Steuergates, der Source und/oder des Drains ausgeführt wurde, eine Unterteilung der Pfade für den Programmierstrom und für den Verifizier(oder Mess-)strom innerhalb einer Speicherzelle schwierig, was zum Nachteil führt, daß eine direkte und wirkungsvolle Mehrpegelsteuerung schwierig ist.

Eine Zelle mit unterteiltem Kanal verwendet einen Injektionsmechanismus für heiße Elektronen als Programmierverfahren, wobei die Zelle mit verschmolzenem aufgeteiltem Gate einen drainseitigen Injektionsmechanismus für heiße Elektronen verwendet und die Zelle mit unterteiltem Gate einen sourceseitigen Injektionsmechanismus für heiße Elektronen verwendet. Ähnlich wird bei anderen EEPROMs zum Löschen ein FN-Tunnelvorgang verwendet.

Zellen mit unterteiltem Kanal, die einen Injektionsmechanismus für heiße Elektronen verwenden, weisen einen größeren Energieverbrauch für den Programmiervorgang als solche mit Tunnelvorgang auf. Außerdem besteht bei einer Zelle mit verschmolzenem unterteiltem Gate eine Schwierigkeit hinsichtlich des doppelten Ausführens verschiedener Arten von Ioneninjektion in den Drainbereich für bessere Injektion heißer Ladungsträger, und bei der Zelle mit unterteiltem Gate besteht die Schwierigkeit der Optimierung der Dicke eines Oxidfilms zwischen dem Auswahltransistor und dem Transistor mit potentialungebundenem Gate für bessere Injektion heißer Ladungsträger, wie auch eine Schwierigkeit hinsichtlich des korrekten Einstellens eines anfänglichen Lesestroms und hinsichtlich der Verhinderung einer Beeinträchtigung des Lesestroms, die von einer Beeinträchtigung des Oxidfilms herrührt.

Bei der herkömmlichen Zelle mit unterteiltem Kanal wurde die Elektroneninjektion (Programmierung = Daten einschreiben) durch Injektion heißer Ladungsträger durch einen Gateoxidfilm benachbart zu einem Kanal ausgeführt, und ein Elektronenlöschvorgang (Löschen von Daten) wurde entweder durch ein drittes Gate, das vom Auswahlgate und vom Steuergate abweicht, oder durch einen Gateoxidfilm benachbart zum Kanal oder durch das Steuergate ausgeführt.

Obwohl die nichtflüchtige Speicherzelle und das Verfahren zum Programmieren derselben gemäß der US-Patentanmeldung Nr. 08/542,651 vom Erfinder zum Anwenden des Programmierverfahrens vom spannungsgesteuerten Typ geeignet sind, bestand ein Nachteil hinsichtlich der zur Programmierung erforderlichen Energie.

Im Fall der obengenannten Zelle mit unterteiltem Kanal kann, da die Zelle beim Löschen einen Tunnelvorgang durch den Isolierfilm nutzt, was einen dünnen Gateisolierfilm von ungefähr 10 nm (100 Å) erfordert, der dünne Isolierfilm kaum zuverlässig hergestellt werden, und er beeinträchtigt aufgrund der geringen Dicke des Oxidfilms die Steuergatekopplung. D. h., daß die Kopplung kleiner wird, was für Betrieb bei niedriger Spannung und hoher Geschwindigkeit nicht günstig ist, was sich noch verschlechtert, wenn die Zellengröße weiter verringert wird.

Der Erfindung liegt die Aufgabe zugrunde, eine nichtflüchtige Speicherzelle und ein Verfahren zum Programmieren derselben zu schaffen, die eine einfache und gleichzeitige Verifizierung eines Programmierergebnisses während eines Einfach- oder Mehrpegel-Programmierungsvorgangs ermöglichen, wobei die Zelle einen Bereich zur Programmierung und einen Bereich zur Verifizierung aufweist, die völlig voneinander getrennt sind.

Eine andere Aufgabe der Erfindung ist es, eine nichtflüchtige Speicherzelle und ein Verfahren zum Programmieren derselben zu schaffen, bei denen ein Schwellenpegel mittels einer Spannung eingestellt wird, die während eines Mehrpegel-Programmierungsvorgangs an ein Steuergate angelegt wird, wobei jeder Schwellenpegel und die zugehörige, an das Steuergate angelegte Spannung eine lineare Beziehung einhalten.

Eine andere Aufgabe der Erfindung ist es, eine nichtflüchtige Speicherzelle und ein Verfahren zum Program-

mieren derselben zu schaffen, bei denen eine Verifizierung gleichzeitig mit einer Programmierung bei einem Einzel- oder Mehrpegel-Programmiervorgang verfügbar ist und sich die Zelle im Anfangsstadium des Programmiervorgangs in einem abgeschalteten Zustand befindet, wobei der Zustand eines Kanals der Zelle während des Programmiervorgangs überwacht wird, um dafür zu sorgen, daß die Programmierung bei einem vorbestimmten Kanalzustand nach dem Einschalten der Zelle angehalten wird.

Eine weitere Aufgabe der Erfindung ist es, eine Zelle mit unterteiltem Kanal zu schaffen, die einen Tunnelvorgang zur Programmierung verwendet und zum Löschen die Injektion heißer Ladungsträger oder einen Tunnelvorgang verwendet.

Noch eine andere Aufgabe der Erfindung ist es, eine nichtflüchtige Speicherzelle und ein Verfahren zum Programmieren derselben zu schaffen, die den Energieverbrauch bei der Programmierung minimieren können und eine Überwachung des Programmiervorgangs und der Schwellenspannungszustände ermöglichen.

Noch eine andere Aufgabe der Erfindung ist es, eine Zelle mit unterteiltem Kanal zu schaffen, die auf einfache Weise Zuverlässigkeit eines dielektrischen Gatefilms gewährleistet und eine Kopplungskonstante verbessern kann.

Zusätzliche Merkmale und Vorteile der Erfindung werden in der folgenden Beschreibung dargelegt, und sie gehen teilweise aus dieser hervor oder werden beim Ausüben der Erfindung ersichtlich. Aufgaben und andere Vorteile der Erfindung werden mittels der Konstruktionen erzielt, wie sie speziell in der Beschreibung und den Ansprüchen sowie den beigefügten Zeichnungen dargelegt sind.

Diese Aufgaben sind hinsichtlich der nichtflüchtigen Speicherzelle durch die Lehren der unabhängigen Ansprüche 1 sowie 35 bis 38 gelöst, und hinsichtlich des Verfahrens sind sie durch die Lehre des beigefügten Anspruchs 21 gelöst.

Es ist zu beachten, daß sowohl die vorstehende allgemeine Beschreibung als auch die folgende detaillierte Beschreibung beispielhaft und erläuternd sind und dazu vorgesehen sind, für eine weitere Erläuterung der beanspruchten Erfindung zu sorgen.

Die beigefügten Zeichnungen, die für ein weiteres Verständnis der Erfindung sorgen sollen und einen Teil der Patentunterlagen bilden, veranschaulichen Ausführungsbeispiele der Erfindung und dienen zusammen mit der Beschreibung zum Erläutern der Prinzipien der Erfindung.

Fig. 1a zeigt ein Schaltbild der üblichsten nichtflüchtigen Speicherzelle;

Fig. 1b zeigt ein Kurvenbild zum Erläutern des Programmierprinzips der nichtflüchtigen Speicherzelle von

Fig. 1a mit automatischer Verifizierung;

Fig. 2a zeigt ein Schaltbild einer bekannten nichtflüchtigen Speicherzelle mit einfacher Stapelgatestruktur;

Fig. 2b zeigt ein Schaltbild einer bekannten nichtflüchtigen Speicherzelle vom Aufbau mit unterteiltem Kanal;

Fig. 3a zeigt ein Schaltbild einer nichtflüchtigen Speicherzelle gemäß einem bevorzugten Ausführungsbeispiel der Erfindung;

Fig. 3b zeigt ein Schaltbild der nichtflüchtigen Speicherzelle von Fig. 3a während ihrer Funktionen;

Fig. 3c zeigt ein Diagramm betreffend Strompfade in der in Fig. 3a dargestellten nichtflüchtigen Speicherzelle während eines Programmiervorgangs;

Fig. 4 zeigt ein Diagramm eines Prozesses bei einem Stromerfassungsverfahren zum Programmieren einer nichtflüchtigen Speicherzelle;

Fig. 5a—5h zeigen Diagramme mit Signalverläufen an verschiedenen Knoten in Fig. 4;

Fig. 6 ist ein Flußdiagramm für einen Einzel- oder Mehrfachpegel-Programmierprozeß gemäß der Erfindung;

Fig. 7a zeigt eine Kapazitätersatzschaltung zur in Fig. 3a dargestellten nichtflüchtigen Speicherzelle;

Fig. 7b zeigt die Beziehung zwischen zu programmierenden Schwellenpegeln und entsprechend angelegten Steuergatespannungen, und eine Beziehung bei einem Mehrpegel-Programmiervorgang zwischen der anfänglichen Spannung des potentialungebundenen Gates für jeden Pegel sowie Bezugsströmen;

Fig. 7c zeigt ein Kurvenbild mit Einschalt-/Abschaltpunkten eines Transistors sowie eine Beziehung zwischen einem Programmierendpunkt und einem Drainstrom bei einem Mehrpegelprogrammierungsvorgang;

Fig. 8a ist ein Diagramm zum Erläutern eines Prozesses zum Programmieren einer nichtflüchtigen Speicherzelle unter Verwendung des erfindungsgemäßen Spannungserfassungsverfahrens;

Fig. 8b zeigt ein Schaltbild eines anderen Ausführungsbeispiels des in Fig. 8a dargestellten Spannungsdetektors;

Fig. 9a zeigt eine erste Form des Aufbaus einer erfindungsgemäßen nichtflüchtigen Speicherzelle;

Fig. 9b zeigt einen Schnitt entlang der Linie I-I' in Fig. 9a;

Fig. 10a zeigt eine zweite Form des Aufbaus einer erfindungsgemäßen nichtflüchtigen Speicherzelle;

Fig. 10b zeigt einen Schnitt entlang der Linie II-II' in Fig. 10a;

Fig. 11a zeigt eine dritte Form des Aufbaus einer erfindungsgemäßen nichtflüchtigen Speicherzelle;

Fig. 11b zeigt einen Schnitt entlang der Linie III-III' in Fig. 11a;

Fig. 12a zeigt eine vierte Form des Aufbaus einer erfindungsgemäßen nichtflüchtigen Speicherzelle; und

Fig. 12b zeigt einen Schnitt entlang der Linie IV-IV' in Fig. 12a.

Nun wird detailliert auf die bevorzugten Ausführungsformen der Erfindung Bezug genommen, wobei Beispiele derselben in den beigefügten Zeichnungen veranschaulicht sind.

In den Erläuterungen zur Erfindung ist ein Programmiervorgang ein Datenschreibvorgang, während ein Löschvorgang als Vorgang definiert ist, bei dem alle Daten innerhalb eines zu löschenden Blocks in denselben Zustand versetzt werden. Daher kann der Löschzustand von Daten ein Zustand sein, in dem die Schwellenspannung einer Speicherzelle entweder niedrig oder hoch ist. Bei den bevorzugten Ausführungsbeispielen der Erfindung, wie sie nachfolgend beschrieben werden, ist der Löschzustand in einem n-Kanal-FET als Zustand definiert, bei dem die Schwellenspannung hohen Pegel aufweist.

Fig. 3a veranschaulicht symbolmäßig eine nichtflüchtige Speicherzelle gemäß einem bevorzugten Ausführungs-

rungsbeispiel der Erfindung, die folgendes aufweist: ein Programmier-/Auswählgate 31, das als Anschluß zum Auswählen einer Zelle beim Programmieren, Lesen und Löschen und zum Programmieren im Programmierzustand dient; ein potentialungebundenes Gate 32 zum Einspeichern von Ladungen für die Datenspeicherung sowie zum Entnehmen von Ladungen an das Programmier-/Auswählgate 31 beim Programmieren; ein Steuergate 33 zum Induzieren eines Potentials im potentialungebundenen Gate 32 mittels kapazitiver Kopplung beim Steuern der Menge von Ladungen, die vom potentialungebundenen Gate 32 an das Programmier-/Auswählgate 31 abgezogen werden, und eine Transistoreinheit mit dem Programmier-/Auswählgate 31, dem potentialungebundenen Gate 32, einem Kanalbereich 38, einer Source 36 und einem Drain 37.

Fig. 3b zeigt eine Schaltung der nichtflüchtigen Speicherzelle von Fig. 3a hinsichtlich ihrer Funktionen.

Ein Speichertransistor 34 mit dem Steuergate 33, dem potentialungebundenen Gate 32, dem Kanalbereich 38b unter dem potentialungebundenen 32 und dem Drain 37 dient dazu, Daten in das potentialungebundene Gate einzuspeichern, und ein Auswahltransistor 35 mit dem Programmier-/Auswählgate 31, dem Kanalbereich 38a unter demselben und der Source 36 dient als Schalter, der einen Strom zwischen dem Drain 37 und der Source 36 unabhängig vom Zustand der Schwellenspannung des Speichertransistors 34 ein- oder ausschaltet, um dadurch der Zelle Selektivität zu verleihen. Ein Bereich 38c zwischen dem Auswahltransistor 35 und dem Speichertransistor 34 kann so verwendet werden, daß er als Drain für den Auswahltransistor 35 und als Source für den Speichertransistor 34 dient. Wie es wohlbekannt ist, werden bei einem n-Transistor mit sourceseitiger Injektion heißer Elektronen die heißen Elektronen im Kanalbereich 38c zwischen dem Auswahltransistor 35 und dem Speichertransistor 34 erzeugt und in das potentialungebundene Gate 32 injiziert.

Neben den baulichen und funktionellen Merkmalen des Speichertransistors 34 und des Auswahltransistors 35 verfügt die erfindungsgemäße nichtflüchtige Speicherzelle, wie es aus Fig. 3b ersichtlich ist, über das zusätzliche Merkmal, daß das Programmier-/Auswählgate 31 und das potentialungebundene Gate 32 eine Tunnel diode bilden. Im Fall eines n-Transistors werden Elektronen vom potentialungebundenen Gate 32 über diese Tunnel diode beim Ausführen eines Programmiervorgangs an das Programmier-/Auswählgate 31 abgezogen, wobei dieses als Anschluß zum Ausführen des Programmiervorgangs dient. Anders gesagt, werden beim Programmieren eines n-Transistors Elektronen vom potentialungebundenen Gate 32 an das Programmier-/Auswählgate 31 abgezogen. Das bauliche Merkmal der Tunnel diode sowie die Funktionen und Arbeitsvorgänge des Zeilentransistors und jedes Anschlusses unterscheiden die erfindungsgemäße nichtflüchtige Speicherzelle von der bekannten nichtflüchtigen Speicherzelle vom Typ mit unterteiltem Kanal. Darüber hinaus kann beim Programmieren eines Speicherbauteils mit einer erfindungsgemäßen nichtflüchtigen Speicherzelle die angelegte Spannung zweckdienlich an das Programmier-/Auswählgate 31 und das Steuergate 33 verteilt werden, um die Selektivität beim Programmieren von Zellen zu verbessern.

Wie es aus Fig. 3c erkennbar ist, besteht ein anderes Merkmal der erfindungsgemäßen nichtflüchtigen Speicherzelle vom Typ mit unterteiltem Kanal darin, daß bei einem Programmiervorgang der Programmierbereich völlig vom Kanalbereich getrennt werden kann, d. h., daß der Programmierstrompfad und der Kanalbereich getrennt sind. Daher kann während eines Programmiervorgangs eine Änderung des Leitungszustands im Kanalbereich 38, wie dies entsprechend einer Variation der Ladungsmenge im potentialungebundenen Gate 32 auftritt, gleichzeitig mit und unabhängig von dem Programmiervorgang überwacht werden. Anders gesagt, erfolgt das Überwachen mittels des Feldeffekttransistors mit dem potentialungebundenen Gate 32, dem Programmier-/Auswählgate 31 und dem Kanalgate 38. Der Überwachungsvorgang verwendet dabei einen üblichen Meßverstärker (nicht dargestellt) beim Überwachen des Stroms des Drains 37 oder der Source 36 der Zelle. Demgemäß verfügt die erfindungsgemäße nichtflüchtige Speicherzelle über einen Aufbau für einen Programmiervorgang, bei dem der Programmierpfad und der Überwachungspfad völlig getrennt sind. Anders gesagt, ist die erfindungsgemäße Speicherzelle ein FET mit vier Anschlüssen mit dem Steuergate 33, der Source 36, dem Drain 37 und dem Programmier-/Auswählgate 31, während Programmierbetrieb vorliegt. Dies unterscheidet die erfindungsgemäße nichtflüchtige Speicherzelle von der bekannten, die ein FET mit drei Anschlüssen ist, oder von existierenden FETs. Daher verfügt die erfindungsgemäße nichtflüchtige Speicherzelle über einen Aufbau, bei dem Programmier- und Überwachungsvorgänge gleichzeitig auf einfache Weise ausgeführt werden können. Dabei kann jedoch nicht nur gleichzeitige Verifizierung ausgeführt werden, sondern es kann auch das bekannte Wiederholen von Programmierung und Verifizierung ausgeführt werden.

Nun wird die Funktion der erfindungsgemäßen nichtflüchtigen Speicherzelle erläutert.

Im Fall eines n-Transistors ist ein Löschvorgang bei der erfindungsgemäßen nichtflüchtigen Speicherzelle eine Injektion von Elektronen in das potentialungebundene Gate 32. Demgemäß kann der Löschvorgang mittels eines Tunnelvorgangs auf der Seite des Drains 37 oder durch Injektion heißer Elektronen auf der Seite der Source erfolgen.

Im Fall der Verwendung der Injektion heißer Ladungsträger für einen Löschvorgang sorgt die Tatsache, daß es überflüssig ist, daß ein dünner Gatedielektrikumsfilm zwischen dem Kanalbereich 38 oder dem Drain 37 und dem potentialungebundenen Gate 32 mit einem Ausmaß vorliegt, wie es Tunneln erlaubt, nicht nur für eine deutliche Vereinfachung des Herstellprozesses für den Gatedielektrikumsfilm im Vergleich zum bekannten Prozeß, wobei gleichzeitig für Zuverlässigkeit gesorgt ist, sondern auch für eine stark verbesserte Kopplungskonstante, was den Betrieb bei niedriger Spannung und hoher Geschwindigkeit ermöglicht. Diese Vorteile haben die wesentliche Bedeutung, daß die Schwierigkeiten bei den meisten bekannten nichtflüchtigen Speicherzellen beseitigt sind, und es ist möglich, zukünftige Probleme beim Verkleinern nichtflüchtiger Speicherzellen zu vermeiden, wie das Auslecken eines kleinen Felds und eine Beeinträchtigung des beim Tunneln verwendeten Gateoxidfilms. Demgemäß ist die erfindungsgemäße nichtflüchtige Speicherzelle, angesichts der obengenannten Punkte für Verkleinerungsentwicklungen günstig.

Aus den bisherigen Erläuterungen ist es ersichtlich, daß die erfindungsgemäße nichtflüchtige Speicherzelle einen besonderen Aufbau aufweist, bei dem eine unabhängige Auswahl jeder Zelle für entweder Programmie-



rung oder Löschen in jedem Fall möglich ist, ohne daß es zu irgendwelchen speziellen Problemen hinsichtlich der Zuverlässigkeit des Zellenarrays führt. D. h., daß, wie es erläutert wurde, während des Programmierens Selektivität durch den Transistor mit dem Steuergate 36 und dem Drain 37 gegeben ist. Z. B. kann im Fall eines n-Transistors das Programmieren durch einen Tunnelvorgang über die Diode erfolgen, und ein Löschvorgang kann durch Injektion heißer Elektronen auf der Sourceseite erfolgen. D. h., daß die erfindungsgemäße Speicherzelle zur Verwendung sowohl als EEPROM als auch als Flash-EEPROM geeignet ist.

Nun werden Verfahren zur Doppel- oder Mehrpegelprogrammierung der in den Fig. 3a—3c dargestellten nichtflüchtigen Speicherzelle erläutert. Beim Programmierverfahren für diese nichtflüchtige Speicherzelle existieren ein Spannungserfassungsverfahren und ein Stromerfassungsverfahren. Zunächst wird das Stromerfassungsverfahren erläutert.

Fig. 4 zeigt ein Diagramm zu einem Prozeß gemäß dem Stromerfassungsverfahren zum Programmieren der nichtflüchtigen Speicherzelle. Das in Fig. 4 dargestellte Diagramm umfaßt eine erste Spannungsquelle 39, eine zweite Spannungsquelle 40, eine dritte Spannungsquelle 41, eine vierte Spannungsquelle 42, einen Stromdetektor 43 und die in den Fig. 3a—3b dargestellte nichtflüchtige Speicherzelle, die hier mit 100 gekennzeichnet ist. Es repräsentiert das von außen angelegte i-te Pegelprogrammier-Startsignal,  $V_{ST}$  repräsentiert ein Programmierstoppsignal.

Die erste Spannungsquelle 39 liefert eine Spannung  $V_{Ci}$  ( $i = 0, 1, 2, \dots, n-1$ ) an das Steuergate 33 der nichtflüchtigen Speicherzelle 100, um während einer Mehrpegelprogrammierung die Programmierung für den Pegel  $i$  anzulegen. Demgemäß hat die Spannung  $V_{Ci}$  einen Wert, der sich bei der Mehrpegelprogrammierung der Programmierung jedes Schwellenpegels ändert. Die zweite Spannungsquelle 40 liefert eine Spannung  $V_{Ps}$  für Einzel- oder Mehrpegelprogrammierung an das Programmier-/Auswählgate 31. Diese Spannung  $V_{Ps}$  kann variabel sein, jedoch hat sie am Programmierende immer den Wert einer konstanten, positiven Spannung. Die dritte Spannungsquelle 41 induziert im Drain 37 ein Potential  $V_D$  zum Überwachen eines programmierten Zustands während eines Doppel- oder Mehrpegel-Programmierungsvorgangs, d. h. zum Überwachen eines Stroms  $I_{Di}(t)$  durch das Drain 37, und die vierte Spannungsquelle 42 legt die Spannung  $V_s$  an die Source 36 an.  $V_s$  ist entweder eine Massespannung oder eine Spannung unter  $V_D$ .  $I_{Di}(t)$  ist der durch den Drain 37 fließende Strom.

Der Stromdetektor 43 liefert während der Programmierung für den Schwellenpegel  $i$  das Programmierstoppsignal  $V_{ST}$ , wenn der durch den Drain 37 fließende Strom  $I_{Di}(t)$  eine Bezugsstromstärke  $I_{REF}$  erreicht (z. B. eine Schwellenspannung  $I_{th}$ ). Ein Zeitpunkt  $t_{pi}$  repräsentiert den Zeitpunkt des Programmierabschlusses. Der Bezugsstrom  $I_{REF}$  für den Stromdetektor 43 hängt von den elektrischen Eigenschaften der nichtflüchtigen Speicherzelle ab. Dieser Bezugsstrom  $I_{REF}$  kann durch eine Schwellenspannung  $I_{th}$  definiert werden. Der Strom  $I_{Di}(t)$  durch den Drain 37 kann als zeitabhängiger Strom umdefiniert werden. Dieser Strom  $I_{Ci}(t)$  repräsentiert den Strom durch den Drain 37, wie er während der Programmierung des Pegels  $i$  durch eine Spannung  $V_{Fi}(t)$  am potentialungebundenen Gate 32 bestimmt wird, mit sehr kleinem Leckstrom, entsprechend dem abgeschalteten Zustand (= Zustand unter der Schwelle) des Kanals im Anfangsstadium der Programmierung, und mit Beibehaltung des abgeschalteten Zustands, wenn die Programmierung bis zum Einschalten des Kanals weiterläuft, wenn die Stromstärke stark ansteigt. Wenn die erhöhte Stromstärke den Bezugsstrom  $I_{REF}$  für den Stromdetektor 43 erreicht, erzeugt der Stromdetektor 43 das Programmierstoppsignal  $V_{ST}$ .

Für die obengenannten Bedingungen wird nun unter Bezugnahme auf die Fig. 4, 5a—5h und 6 ein Prozeß für Doppel- oder Mehrpegelprogrammierung unter Verwendung von Drainstromerfassung erläutert.

Die Fig. 5a—5h zeigen Diagramme von Signalverläufen an verschiedenen Knoten in Fig. 4, und Fig. 6 zeigt ein Flussdiagramm für einen Einzel- oder Mehrpegelprogrammierprozeß gemäß der Erfindung. Es ist angenommen, daß die zu programmierende Zelle vor dem Programmieren im gelöschten Zustand vorliegt. Der Löschzustand ist dabei der höchste Pegel. Ferner ist angenommen, daß die Transistoren in den in den Fig. 3a, 3b und 3c sowie 4 dargestellten Transistoren n-FETs sind, von denen jeder einen auf einem p-Substrat ausgebildeten n-Kanal aufweist. Es kann auch ein p-FET mit einem auf einem n-Substrat ausgebildeten p-Kanal angenommen werden. In diesem Fall kann derselbe Vorgang wie im obigen Fall erfolgen, wenn die Polaritäten der angelegten Spannung umgekehrt eingestellt werden und die Symbole am entsprechenden Knoten und die Schwellenspannungen auf umgekehrte Weise definiert werden.

Beim Anlegen eines externen Programmierstartsignals  $P_s$  für Einzel- oder Mehrpegelprogrammierung, wie in Fig. 5a dargestellt, wird eine positive, an das Steuergate 33 anzulegende Spannung  $V_{Ci}$  für die Programmierung des Pegels  $i$  eingestellt. Gleichzeitig mit dem Einstellen der Positiven Spannung  $V_{Ci}$  wird der Stromdetektor 43 zum Verifizieren einer Änderung der Ladungsmenge am potentialungebundenen Gate 32 aktiviert. Gleichzeitig mit dem Anlegen des Programmierstartsignals  $P_s$ , wie in Fig. 5a dargestellt, werden die in Fig. 5b dargestellte Spannung  $V_{Ps}$  und die in Fig. 5c dargestellte negative Spannung  $V_{Ci}$  von der ersten Spannungsquelle 39 bzw. der zweiten Spannungsquelle 40 an das Steuergate 33 bzw. das Programmier-/Auswählgate 31 angelegt. Demgemäß wird eine Tunnelspannung  $V_{tun}(t)$  zwischen dem Programmier-/Auswählgate 31 und dem potentialungebundenen Gate 32 aufgeladen, um negative Ladungen vom potentialungebundenen Gate 32 an das Programmier-/Auswählgate 31 zu liefern, um die Programmierung für den Schwellenpegel  $i$  auszuführen. D. h., daß damit begonnen wird, Elektronen vom potentialungebundenen Gate 32 durch Tunneln zum Programmier-/Auswählgate 31 zu ziehen.

Gleichzeitig mit dem Anlegen der Spannungen  $V_{Ci}$  und  $V_{Ps}$  an das Steuergate 33 bzw. das Programmier-/Auswählgate 31, oder anschließend daran, werden die Drainspannung  $V_s$  und die Sourcespannung  $V_s$  von der dritten Spannungsquelle 41 bzw. der vierten Spannungsquelle 42 an den Drain 37 bzw. die Source 36 angelegt. Außerdem wird der Stromdetektor 43 aktiviert. Beim Anlegen der Spannungen  $V_{Ci}$ ,  $V_{Ps}$  und  $V_D$  an das Steuergate 33, das Programmier-/Auswählgate 31 bzw. den Drain 37 wird, wie es in Fig. 5d für die Programmierung für den Schwellenpegel  $i$  veranschaulicht ist, eine Spannung  $V_{Fi}(t)$  durch Ladungsansammlung im Potentialungebundenen Gate 32 induziert. Dabei werden  $V_{Ci}$  und  $V_{Ps}$  so angelegt, daß eine anfängliche Spannung  $V_{Fi}$

des Potentialungebundenen Gates den Kanalbereich 38 des FET abschaltet, d. h., daß die Anfangsspannung niedriger als die Schwellenspannung  $V_{TH}^F$  am potentialungebundenen Gate 32 ist.

Demgemäß fließt im Anfangsstadium kein Strom durch den Drain 37. Wenn der Programmvorgang fortschreitet, werden Elektronen vom Potentialungebundenen Gate 32 abgezogen, was die Spannung  $V_{F,i}(t)$  am potentialungebundenen Gate erhöht. Wenn die Spannung am potentialungebundenen Gate die in Fig. 5d dargestellte Schwellenspannung  $V_{TH}^F$  erreicht, fließt der in Fig. 5e dargestellte Strom  $I_{D,i}(t)$  durch den Drain 37, der im Anfangsstadium am kleinsten ist und ansteigt, wenn die Spannung am potentialungebundenen Gate aufgrund der Übertragung von Elektronen vom potentialungebundenen Gate 32 zum Programmier-/Auswählgate 31 ansteigt, wenn der Programmvorgang fortschreitet. Der Stromdetektor 43 überwacht während der Programmierung des Schwellenpegels  $i$  diesen Drainstrom  $I_{D,i}(t)$ . Wenn der Drainstrom  $I_{D,i}(t)$  einen vorbestimmten Wert  $I_{REF}$  erreicht, wie in Fig. 5e dargestellt (z. B. die Schwellenspannung), wird angenommen, daß die Programmierung für den Schwellenpegel  $i$  abgeschlossen ist, und es wird das in Fig. 5f dargestellte Programmierstoppsignal  $V_{ST}$  erzeugt.

Es wurde hier zwar erläutert, daß der Stromdetektor 43 den Strom  $I_{D,i}(t)$  durch den Drain erfaßt, jedoch wird während der in Fig. 5d dargestellten Programmierung tatsächlich die Änderung der Spannung oder der Ladungsmenge am potentialungebundenen Gate 32 überwacht. Die Überwachung des Stroms  $I_{D,i}(t)$  kann als Überwachung der Leitfähigkeit im Kanalbereich 38 erläutert werden.

Gemäß Fig. 4 wird das Programmierstoppsignal  $V_{ST}$  an die erste und zweite Spannungsquelle 39 und 40 angelegt, und auf dieses Programmierstoppsignal  $V_{ST}$  hin liefert die erste und/oder die zweite Spannungsquelle 39 und 49 eine negative Spannung  $V_{C,i}$  und eine positive Spannung  $V_{PS}$  an das Steuergate 33 bzw. das Programmier-/Auswählgate 31. D. h., daß die Programmierung für den Schwellenpegel  $i$  abgeschlossen ist, wenn einmal erkannt wurde, daß der Strom  $I_{D,i}(t)$  bei  $t = t_{p,i}$  höher als der Schwellenstrom  $I_{th}$  ist. Daher repräsentiert der Zeitpunkt  $t_{p,i}$  den Zeitpunkt, zu dem der Schwellenpegel  $i$  programmiert ist.

In diesem Fall erreicht, wie es in Fig. 5e dargestellt ist, wenn der Drainstrom  $I_{D,i}(t)$  den Schwellenstrom  $I_{REF}$  erreicht, die Spannung am potentialungebundenen Gate eine dem Bezugsstrom  $I_{REF}$  entsprechende Bezugsspannung  $V_{REF}^F$ . Daher wird der Bezugsstrom  $I_{REF}$  tatsächlich vorab auf einen Wert eingestellt, wie er der Schwellenspannung  $V_{REF}^F$  am potentialungebundenen Gate 32 entspricht, wie sie bei der Herstellung des nichtflüchtigen Speichers bestimmt wird. D. h., daß gemäß Fig. 3, da der speichernde Feldeffekttransistor 34 für den Verifizierungsvorgang das potentialungebundene Gate 32 und die Source 36 aufweist, diese Schwellenspannung  $V_{REF}^F$  tatsächlich der Schwellenspannung des Kanalbereichs 38 entspricht. Es ist zu beachten, daß zum Programmierabschlußzeitpunkt, der immer der Zeitpunkt ist, zu dem die Spannung am potentialungebundenen Gate die Schwellenspannung  $V_{REF}^F$  erreicht, für die Programmierung jedes Schwellenpegels derselbe ist. Dies ist eines der Merkmale, das die Erfindung vom Stand der Technik gemäß R. Cernea unterscheidet.

Fig. 5h ist ein Diagramm, das die Änderung der Schwellenspannungen  $V_{TH,1}^C$  und  $V_{TH,2}^C$  am Steuergate 33 zeigt, wenn der Schwellenpegel  $i$  den Wert Eins bzw. Zwei hat. Fig. 5h zeigt auch, daß die Schwellenspannung  $V_{TH,i}^C$  am Steuergate 33 abnimmt, wenn der Rang des Pegels während der Mehrpegelprogrammierung höher wird, was während der Programmierung durch Verringern der Spannung  $V_{C,i}$  erfolgen kann. Hier liegt der Grund dafür, daß die Programmierzeitpunkte  $t_{p,1}$  und  $t_{p,2}$  für den ersten und den zweiten Pegel voneinander verschieden sind, darin, daß Änderungen der Steuergatespannung  $V_{C,i}$  und der Schwellenspannung  $V_{TH,i}^C$  für die jeweiligen Pegel verschieden sind.

Indessen ist Fig. 5g ein Kurvenbild, das Ladungsmengenänderungen am potentialungebundenen Gate 32 ausgehend von einer anfänglichen Ladungsmenge  $Q_{F,0}(0)$  zur Ladungsmenge  $Q_{F,1}(t_{p,1})$  zum Zeitpunkt, zu dem die Programmierung für den ersten Schwellenpegel abgeschlossen ist, und zur Ladungsmenge  $Q_{F,2}(t_{p,2})$ , zu dem die Programmierung für den zweiten Schwellenpegel abgeschlossen ist, für den Fall zeigt, daß der Schwellenpegel  $i$  der erste bzw. zweite Pegel ist. Es wird darauf hingewiesen, daß dann, wenn die Spannungen  $V_{F,i}(t)$  und  $V_{F,2}(t)$  am Potentialungebundenen Gate 32 die Bezugsspannung  $V_{REF}^F$  an ihm, die dem Bezugsstrom  $I_{REF}(t = t_{p,2})$  entspricht, erreichen, die Ladungsmenge am potentialungebundenen Gate 32 ausgehend von der Ausgangsmenge  $Q_{F,0}(0)$  auf die Menge  $Q_{F,1}(t_{p,1})$  bzw. die Menge  $Q_{F,2}(t_{p,2})$  abnimmt. Nach dem Beenden der Programmierung bleiben die Werte  $Q_{F,1}(t_{p,1})$  und  $Q_{F,2}(t_{p,2})$  aufrechterhalten.

Unter Bezugnahme auf Fig. 7a wird nun die Beziehung zwischen der von der ersten Spannungsquelle 39 an das Steuergate 33 angelegten Spannung  $V_{C,i}$  und der Schwellenspannung für den entsprechenden Pegel, wobei es sich um ein wesentliches Ergebnis der Erfindung handelt, erläutert. Fig. 7a veranschaulicht eine Kapazitätsersatzschaltung für den in Fig. 3 dargestellten nichtflüchtigen Speicher. In Fig. 7a repräsentiert  $C_C$  die Kapazität zwischen dem Steuergate 33 und dem potentialungebundenen Gate 32;  $C_{ps}$  repräsentiert die Kapazität zwischen dem Programmier-/Auswählgate 31 und dem potentialungebundenen Gate 32;  $C_D$  repräsentiert die Kapazität zwischen dem Drain 37 und dem Potentialungebundenen Gate 32; und  $C_S$  repräsentiert die Kapazität zwischen der Source 36 und dem Potentialungebundenen Gate 32.

Die Summe  $C_T$  dieser Kapazitäten kann durch die folgende Gleichung (1) ausgedrückt werden:

$$C_T = C_C + C_{ps} + C_D + C_S + C_B \quad (1)$$

Die Kopplungskoeffizienten der jeweiligen Kapazitäten sind durch die folgenden Gleichungen (2) definiert:

$$\alpha_C = C_C/C_T, \alpha_{C_{ps}} = C_{ps}/C_T, \alpha_D = C_D/C_T \text{ und } \alpha_S = C_S/C_T \quad (2)$$

In diesem Fall ist der Geschicklichkeit halber angenommen, daß die Substrat- und Sourcespannung einer Massespannung entsprechen.

Gemäß Fig. 7a kann die Spannung am potentialungebundenen Gate 32 während eines Programmierungsvorgangs durch die folgende Gleichung (3) ausgedrückt werden:



$$V_F(t) = \alpha_C V_C + \alpha_{PS} V_{PS} + \alpha_D V_D(t) + Q_F(t)/C_T = \alpha_C [V_C - V_{TH}^C(t)] + \alpha_P V_P + \alpha_D V_D(t) \quad (3),$$

wobei  $Q_F(t)$  die Ladungsmenge auf dem potentialungebundenen Gate 32 repräsentiert.

Beim Programmieren ist die Schwellenspannung  $V_{TH}^C(t)$  am Steuergate 33 durch die folgende Gleichung (4) definiert:

$$V_{TH}^C(t) = -Q_F(t)/C_C \quad (4)$$

Anders gesagt, zeigt  $V_{TH}^C(t)$  in der Gleichung (4) eine Schwellenspannungsverschiebung an, wie sie zum Zeitpunkt  $t$  am Steuergate 33 gemessen wird. Die Schwellenspannungsverschiebung betrifft eine Schwellenspannung, wie sie am Steuergate gemessen wird und durch auf dem potentialungebundenen Gate angesammelte Ladungen hervorgerufen wird. Die am Steuergate 33 gemessene Schwellenspannung  $V_{TH}^C(t)$  ist als Spannung am Steuergate 33 definiert, wenn der Drainstrom  $I_D(t)$  den Bezugsstrom  $I_{REF}$  (z. B. den Schwellenstrom  $I_{th}$ ) am Stromdetektor 43 erreicht. Wie erläutert, kann der Schwellenstrom  $I_{th}$  wahlfrei definiert werden (z. B.  $I_{th} = 1 \mu A$ ). Die Schwellenspannung  $V_{TH}^F$  am potentialungebundenen Gate 32 ist eine dem aus dem potentialungebundenen Gate 32, der Source 36 und dem Drain 37, wie in Fig. 3 dargestellt, bestehenden Feldeffekt-Speichertransistor eigene Schwellenspannung, die von den Herstellbedingungen abhängt, wie von der Ionenimplantation im Kanal und der Dicke eines Gateisolators beim Herstellen der nichtflüchtigen Speicherzelle von Fig. 3. Daher ist die Schwellenspannung  $V_{TH}^F$  des potentialungebundenen Gates 32 immer konstant. Jedoch hängt die Schwellenspannung  $V_{TH}^F$  am Steuergate 33 von der Ladungsmenge  $Q_F$  am potentialungebundenen Gate 32 ab.

Wie erläutert wird der Programmiervorgang für jeden Pegel zum Anhalten gebracht, wenn die Spannung  $V_F(t)$  am potentialungebundenen Gate 32 auf die Bezugsspannung  $V_{REF}^F$  an demselben abgenommen hat (z. B. auf die Schwellenspannung  $V_{TH}^F$ ). Es sei angemerkt, daß dann, wenn die Drainspannung  $V_D$  konstant ist, der Strom  $I_D(t)$  von der Spannung am potentialungebundenen Gate 32 abhängt und eine eindeutige Beziehung zur Spannung  $V_F$  am potentialungebundenen Gate 32 hat. Demgemäß entspricht der Programmierstoppzeitpunkt für jeden Pegel für jeden Zeitpunkt, zu dem der Strom  $I_D(t)$  den Schwellenstrom  $I_{th}$  erreicht, und er entspricht auch dem Zeitpunkt  $t_p$ , zu dem die Programmierung abgeschlossen ist. Daher kann bei der Programmierung für jeden Schwellenpegel die Spannung  $V_F(t_p)$  am potentialungebundenen Gate 32 zum Zeitpunkt des Programmierabschlusses durch die folgende Gleichung (5) ausgedrückt werden:

$$V_F(t_p) = V_{TH}^F = \alpha_C [V_C - V_{TH}^C(t_p)] + \alpha_{PS} V_{PS} + \alpha_D V_D(t_p) \quad (5)$$

Ein Umordnen der Gleichung (5) hinsichtlich der von der ersten Spannungsquelle 39 an das Steuergate 33 gelieferten Spannung  $V_C$  ergibt die folgende Gleichung (6):

$$V_{TH}^C(t_p) = V_C + (\alpha_{PS} V_{PS} + \alpha_D V_D - V_{REF}^F)/\alpha_C = V_C + V_1 \quad (6),$$

wobei  $V_1$  wie folgt definiert ist:

$$V_1 = (\alpha_{PS} V_{PS} + \alpha_D V_D - V_{REF}^F)/\alpha_C \quad (7)$$

Wenn die drei Parameter der Spannung  $V_{PS}$  am Programmier-/Auswählgate, der Drainspannung  $V_D$  und der Bezugsspannung  $V_{REF}^F$  so eingestellt werden, daß  $V_1$  zum Zeitpunkt des Beendens der Programmierung für jeden Pegel eine feste Konstante ist, ist die Beziehung zwischen den Verschiebungen der Steuergatespannung  $V_C$  und der Schwellenspannung  $V_{TH}^C$  linear.

Der einfachste Weg,  $V_1$  zu einer festen Konstante zu machen, besteht darin, die Spannung  $V_{PS}$  am Programmier-/Auswählgate sowie die Drainspannung  $V_D$  für die Programmierung jedes Pegels als feste Konstanten zu wählen und die Bezugsspannung  $V_{REF}^F$  für die Programmierung jedes Pegels zu einer Konstanten zu machen. Wenn die Bezugsspannung  $V_{REF}^F$  konstant gemacht wird, entspricht dies einem Konstantmachen des Bezugsstroms  $I_{REF}$ . Jedoch wird, wie es aus der Gleichung (5) ersichtlich ist, dem Zweck nur dann genügt, wenn die Werte der Spannung  $V_{PS}$  am Programmier-/Auswählgate und die Drainspannung  $V_D$  zum Zeitpunkt des Beendens des Programmiervorgangs für jeden Pegel übereinstimmen. D. h., daß zwar die Spannung  $V_{PS}$  am Programmier-/Auswählgate und die Drainspannung  $V_D$  zeitabhängige Variable sein können, der Zweck jedoch nur erreicht wird, wenn ihre Werte zum Endzeitpunkt der Programmierung für jeden Pegel übereinstimmen. Aus der Gleichung (5) ist es auch ersichtlich, daß die Steuergatespannung  $V_C$  für jeden Pegel ebenfalls eine zeitabhängige Variable sein kann. In diesem Fall ist  $V_C$  in der Gleichung (5) der Wert zum Endzeitpunkt der Programmierung für jeden Pegel.

Wie erläutert, kann dann, wenn  $V_1$  für die Programmierung jedes Pegels konstant gemacht wird, die zur Programmierung des Schwellenpegels  $i$  erforderliche Steuergatespannung  $V_{C_i}$  gemäß der Gleichung (6) wie folgt ausgedrückt werden:

$$V_{TH}^C = V_{C_i} + V_1 (\text{mit } i = 0, 1, 2, 3, \dots, n-1) \quad (8)$$

Aus dieser Gleichung ergibt sich, daß die zu programmierenden Schwellenpegel und die entsprechend den Schwellenpegeln anzulegenden Steuergatespannungen linear sind, mit der Steigung 1. Entsprechend sind auch, gemäß Gleichung (4), die Ladungsmengen auf dem potentialungebundenen Gate 32 ebenfalls linear in bezug zu den Steuergatespannungen.

Da  $V_1$  eine Konstante ist, wie oben angegeben, kann die  $i$ -te Verschiebung  $\Delta V_{C_i}$  der während einer Mehrpe-

gelprogrammierung an das Steuergate 33 angelegten Spannung unmittelbar durch die folgende Gleichung (9) ausgedrückt werden:

$$\Delta V_{Cj} = \Delta V_{C_{THj}} \quad (9)$$

Aus den Gleichungen (8) und (9) ist es ersichtlich, daß eine Verschiebung einer Schwellenspannung durch eine Verschiebung der Steuergatespannung bei Doppel- oder Mehrpegelprogrammierung genau gesteuert werden kann. Es ist bekannt, daß die Steuergatespannung genau der Schwellenspannung entspricht, wenn die in der Gleichung (7) angegebene Konstante auf Null gesetzt wird.

Daher können die folgenden zwei Verfahren zum Überwachen eines Programmiervorgangs verwendet werden, wenn die obige Schlußfolgerung bei der Programmierung eines nichtflüchtigen Speichers genutzt wird.

Das erste ist ein Kanal-EIN-AUF-AUS-Verfahren, bei dem der Kanal im Anfangsstadium eines Programmiervorgangs eingeschaltet wird, um dafür zu sorgen, daß der größte Drainstrom fließt und Elektronen in das potentialungebundene Gate injiziert werden, wenn der Programmiervorgang fortschreitet, um dafür zu sorgen, daß die Spannung am potentialungebundenen Gate abnimmt, was eine Abnahme des Drainstroms zur Folge hat, bis dieser einen vorbestimmten Bezugsstrom erreicht, wenn der Programmiervorgang zum Ende kommt.

Das zweite ist ein Kanal-AUS-AUF-EIN-Verfahren, das entgegengesetzt zum Kanal-EIN-AUF-AUS-Verfahren abläuft und bei dem Spannungen an jede Elektrode angelegt werden, um nicht nur den Kanal im Anfangszustand eines Programmiervorgangs abzuschalten, d. h., um dafür zu sorgen, daß die Spannung am potentialungebundenen Gate kleiner als die Schwellenspannung  $V_{TH}^F$  am demselben ist, sondern um auch dafür zu sorgen, daß Elektronen bezüglich dem potentialungebundenen Gate abgezogen werden. Daher steigt, wenn die Programmierung fortschreitet, die Spannung am potentialungebundenen Gate an, um am Ende, wenn der Kanal eingeschaltet wird, einen höheren Wert zu erreichen, als es der Schwellenspannung  $V_{TH}^F$  am potentialungebundenen Gate entspricht. Der Endzeitpunkt des Programmiervorgangs kann der Moment sein, zu dem der Kanal eingeschaltet wird, oder es kann ein beliebiger Zeitpunkt nach dem Einschalten sein. D. h., daß der Bezugsstrom der Schwellenstrom sein kann oder daß es ein beliebiger Wert sein kann, der größer als der Schwellenstrom ist.

Im Fall einer Mehrpegelprogrammierung für mehr als zwei Pegel werden, wenn die Steuergatespannungen, wie sie jedem Pegel entsprechen, variiert werden, auch die anfänglichen Spannungen am potentialungebundenen Gate bei der Programmierung jedes Pegels variiert. Dieser Prozeß ist in Fig. 7b deutlich dargestellt. Hierbei ist der Wert  $V_{REF}^F$  (oder  $I_{REF}$ ) für die Programmierung jedes Pegels eine Konstante, und  $V_{Cj}$  nimmt ab, wenn der Rang des Pegels niedriger ist. Der Drainstrom vor dem Einschalten ist Null, und der Einschaltzeitpunkt und der Programmierendpunkt hängen von den Eigenschaften eines Transistors ab. Dieser Prozeß ist in Fig. 7c deutlich dargestellt.

Die Erfindung betrifft das obengenannte AUS-AUF-EIN-Verfahren sowie eine neue nichtflüchtige Speicherzelle, ein Bauteil und ein Speicherarray, bei denen das AUS-AUF-EIN-Verfahren leicht angewendet werden kann. Im Vergleich mit dem EIN-AUF-AUS-Verfahren ist es ersichtlich, daß das AUS-AUF-EIN-Verfahren einen sehr kleinen Energieverbrauch aufweist.

Im Fall des EIN-Moments, wie er dem Erfassen der Schwellenspannung zum Programmierendpunkt entspricht, kann auch ein Meßverstärker auf sehr einfache Weise realisiert werden.

Aus der obigen theoretischen Schlußfolgerung, d. h. für das Programmieren gemäß dem AUS-AUF-EIN-Verfahren, kann, wenn eine Verschiebung  $\Delta V_{C_{THj}}$  vom Löschzustand, der dem höchsten Pegel entspricht, auf einen der entsprechenden Schwellenpegel erkannt wird, eine Programmierung für den Pegel dadurch erfolgen, daß ein Wert angelegt wird, wie er durch Subtrahieren der Verschiebung  $\Delta V_{C_{THj}}$  auf einen gewünschten Pegel vom bereits bekannten Wert des höchsten Pegels  $V_{C0}$ , wie beim Programmieren als Steuergatespannung, verwendet, abgezogen wird, und dann darauf gewartet wird, daß ein automatischer Abschluß der Programmierung durch eine Erfassungsschaltung erfolgt (durch den Stromdetektor 43 bei diesem Ausführungsbeispiel).

Wenn es beabsichtigt ist, beim Programmieren einen Tunnelmechanismus zu verwenden, wird eine positive Spannung an das Programmier-/Auswählgate 31 angelegt, eine negative Spannung wird an das Steuergate 33 angelegt und eine Minimalspannung (z. B. 1 V), die dazu ausreicht, den Strom zwischen dem Drain 37 und der Source 36 zu überwachen (zu messen), sorgt für ein Einschalten des Auswähltransistors 35 und für das Errichten eines elektrischen Felds, das dazu ausreicht, für ein Tunneln zwischen dem potentialungebundenen Gate 32 und dem Programmier-/Auswählgate 31 zu sorgen. Der Auswähltransistor 34 sollte eingeschaltet werden, da das Überwachen des Kanalzustands (dessen Leitfähigkeit), d. h. des Drainstroms, während der Programmierung möglich sein sollte.

Nun werden Verfahren zum Bestimmen der Steuergatespannung  $V_{C0}$  und des Bezugsstroms  $I_{REF}$  zur Verwendung bei der Programmierung des höchsten Pegels erläutert.

Wenn einmal der gewünschte höchste Pegel  $V_{C_{TH0}}^F$ , die Spannung  $V_{PS}$  am Programmier-/Auswählgate, die Drainspannung  $V_D$ , die Sourcespannung  $V_S$  und eine Substratspannung  $V_B$  einer vorgegebenen Speicherzelle bestimmt sind, verbleiben die zwei Parameter der Spannung  $V_{C0}$  und der Bezugsspannung  $V_{REF}^F$  aus den Gleichungen (7) und (8). Da die Spannung  $V_{PS}$  am Programmier-/Auswählgate, die Drainspannung  $V_D$  und die Sourcespannung  $V_S$  festliegen, entspricht die  $V_{REF}^F$  in eindeutiger Weise dem Strom  $I_{REF}$ . Dann werden, nachdem die Speicherzelle auf den gewünschten höchsten Schwellenpegel eingestellt ist,  $V_{C_{TH0}}^F$ ,  $V_{C0}$ ,  $V_{PS}$ ,  $V_D$ ,  $V_S$  und  $V_B$  an die Speicherzelle angelegt, und es wird der anfängliche Drainstrom  $I_{G,0}(0)$  gemessen. Der Wert  $I_{G,0}(0)$  ist dabei tatsächlich  $I_{REF}$ . In diesem Fall wird  $V_{C0}$  dadurch bestimmt, daß die Programmierzeit berücksichtigt wird. Wenn  $V_{C0}$  einmal bestimmt ist, kann  $I_{REF}$  durch das obengenannte Verfahren bestimmt werden. Der Wert  $I_{REF}$  kann durch Verschiedene andere Verfahren als das obige gemessen werden.

Bei den bisherigen Erläuterungen sind Fälle erläutert, bei denen der durch die Gleichung (7) ausgedrückte Wert  $V_1$  als feste Konstante eingestellt wird. Wenn die Parameter in der Gleichung (7) so eingestellt werden, daß

V1 für die Programmierung jedes Pegels variiert wird, ist, wie es aus der Gleichung (8) ersichtlich ist, die Beziehung zwischen der Steuergatespannung  $V_{Cj}$  und der entsprechenden Schwellenspannung  $V_{C_{THj}}$  nichtlinear. Demgemäß weisen die Verschiebung der Steuergatespannung und die Verschiebung der entsprechenden Schwellenspannung voneinander verschiedene Werte auf. In diesem Fall können, durch Einstellen des Bezugsstroms  $I_{REF}$  auf zweckdienliche Weise für jeden Pegel, die Schwellenspannungen für jeden Pegel nur dann auf gewünschte Werte programmiert werden, wenn die nichtlineare Beziehung zwischen der Steuergatespannung  $V_{Cj}$  und der entsprechenden Schwellenspannung  $V_{C_{THj}}$  experimentell ermittelt wird.

Bisher wurden Verfahren für Einzelpegel- und Mehrpegelprogrammierung erläutert.

Nun wird ein Lösungsverfahren unter Verwendung des obengenannten Programmierverfahrens erläutert, wobei wie zuvor ein n-Transistor als Beispiel verwendet wird.

Wie es bereits definiert wurde, ist beim erfindungsgemäßen Programmierverfahren ein Löschvorgang eine Injektion von Ladungsträgern (oder Elektronen) in das potentialungebundene Gate. Daher kann Löschen entweder durch Injektion heißer Ladungsträger oder durch Tunneln ausgeführt werden.

Bei der Erfindung bedeutet der gelöschte Zustand einen Fall, bei dem die Schwellenspannung die höchste ist, d. h.  $V_{C_{TH0}}$ . Anders gesagt, sind alle nichtlinearen Speicherzellen innerhalb eines vorgegebenen Löschblocks auf den höchsten Pegel programmiert. Demgemäß kann ein Löschprozeß gemäß den folgenden Schritten ausgeführt werden.

Als erstes werden Elektronen injiziert, damit die Schwellenpegel aller Zellen innerhalb des ausgewählten Blocks höher als der Pegel 0 werden, d. h.  $V_{C_{TH0}}$ . Dann werden, beim Pegel 0, bei dem die Spannung am Steuergate 33 den Wert  $V_{C0}$  hat, alle ausgewählten Zellen programmiert. Hierbei kann, wie es erläutert wurde, der Wert  $V_{C0}$  willkürlich so verwendet werden, wie es geeignet ist.

Bei den bisherigen Ausführungsbeispielen sind n-Transistoren verwendet, jedoch kann dann, wenn das erfindungsgemäße Programmierverfahren bei einem p-Transistor angewandt wird, daßelbe Ergebnis dadurch erhalten werden, daß nur die Polaritäten der angelegten Spannungen geändert werden. Jedoch bewirkt in diesem Fall eine Abnahme der Spannung am potentialungebundenen Gate aufgrund einer Injektion von Elektronen in dasselbe, daß der Transistor vom ausgeschalteten in den eingeschalteten Zustand übergeht. Daher sollten im Fall eines p-Transistors Spannungen so an jedes Gate und jeden Anschluß angelegt werden, daß der Kanal im Anfangsstadium abgeschaltet ist und Elektronen mit fortschreitender Zeit in das potentialungebundene Gate injiziert werden.

Da das bisher erläuterte Konzept der Erfindung unabhängig vom Programmiermechanismus ist, ist es ersichtlich, daß dieses Konzept auf jeden Typ von Programmiermechanismus anwendbar ist, der durch die Gleichung (3) ausgedrückt werden kann.

Bisher wurden Programmierprozesse unter Verwendung eines Stromerfassungsverfahrens erläutert.

Nun wird unter Bezugnahme auf die Fig. 8a und 8b ein Programmierprozeß gemäß einem Spannungserfassungsverfahren erläutert. Dieser Programmierprozeß ist tatsächlich beinahe derselbe wie derjenige gemäß dem Stromerfassungsverfahren. Fig. 8a zeigt ein Diagramm zum Erläutern des erfindungsgemäßen Programmierprozesses unter Verwendung eines Spannungserfassungsverfahrens, wobei tatsächlich Übereinstimmung mit Fig. 4 mit der Ausnahme besteht, daß anstelle des in Fig. 4 dargestellten Stromdetektors 43 ein Spannungsdetektor 44 verwendet ist.

Der Spannungsdetektor 44 kann in seiner einfachsten Form eine Bezugsspannungsquelle 45 und einen zwischen diese und den Drain 37 geschalteten Widerstand 46 aufweisen. Oder dieser Spannungsdetektor 44 kann die Bezugsspannungsquelle und eine zwischen diese und den Drain geschaltete Diode aufweisen. Demgemäß überwacht der Spannungsdetektor 44 während eines Programmiervorgangs die Spannung am Drain 37. Beim Erfassen der Drainspannung  $V_{D,TH}$  zum Zeitpunkt, zu dem eine Spannung  $V_{Fj}$  am potentialungebundenen Gate 32 während der Überwachung eine vorgegebene Schwellenspannung  $V_{F_{TH}}$  erreicht, gibt der Spannungsdetektor 44 ein Programmierstoppsignal  $V_{ST}$  aus. Die Drainspannung  $V_{D,TH}$  ist bei der Programmierung aller Pegel eine Konstante. Ähnlich wie beim Stromerfassungsverfahren endet die Programmierung, wenn die erste Spannungsquelle 39 und/oder die zweite Spannungsquelle 40 die Zuführung der Steuergatespannung  $V_{Cj}$  beenden, und auf das Programmierstoppsignal  $V_{ST}$  hin die Programmiergatespannung  $V_p$  nicht mehr vorliegt. Da andere Punkte ebenfalls identisch mit solchen beim Stromerfassungsverfahren sind, wird die zugehörige Erläuterung weggelassen.

Die Fig. 9a und 9b, 10a und 10b, 11a und 11b sowie 12a und 12b sind Layoutdiagramme und Schnittansichten, die verschiedene Formen von Konstruktionen des in Fig. 3 dargestellten nichtflüchtigen Speichers zeigen.

Fig. 9a veranschaulicht eine erste Form einer Konstruktion einer nichtflüchtigen Speicherzelle gemäß der Erfindung, und Fig. 9b zeigt einen Schnitt entlang der Linie I-I' in Fig. 9a.

Gemäß den Fig. 9a und 9b umfaßt der nichtflüchtige Speicher mit der ersten Konstruktionsform ein Halbleitersubstrat 30 von erstem Leitungstyp mit einer Source 36, einem Drain 37 und einem Kanalbereich 38 zwischen der Source 36 und dem Drain 37 an der Oberfläche derselben, ein Programmier-/Auswählgate 31, das auf der Sourceseite auf der Oberfläche des Kanalbereichs 38 ausgebildet ist, ein potentialungebundenes Gate 32, das auf der Seite des Drains 37 auf einer Oberfläche des Kanalbereichs 38 beabstandet vom Programmier-/Auswählgate 31 ausgebildet ist, ein Steuergate 33, das über dem potentialungebundenen Gate 32 ausgebildet ist, und eine zwischen dem Programmier-/Auswählgate 31 und dem potentialungebundenen Gate 32 und dem Steuergate 33 ausgebildete dielektrische Schicht 47, deren Dicke zwischen dem potentialungebundenen Gate 32 und dem Programmier-/Auswählgate 31 ausreichend dünn ausgebildet ist, um Tunneln zu ermöglichen.

Gemäß den Fig. 9a und 9b ist das Programmier-/Auswählgate 31 nahe der Source 36 ausgebildet, das potentialungebundene Gate 32 ist nahe dem Drain 37 ausgebildet und eine Seite des Programmier-/Auswählgates 31 ist benachbart zu einer Seite des potentialungebundenen Gates 32 ausgebildet, um ein Tunneln von Elektronen zu ermöglichen. Aus den Fig. 9a und 9b ist es auch ersichtlich, daß Elektronen von einer Seite des

potentialungebundenen Gates 32 durch die dielektrische Schicht 47 hindurch zu einer Seite des Programmier-/Auswählgates 31 abgezogen werden. Der Gateisolierrfilm 48 mit einer Filmdicke, die ausreichend dünn dafür ist, daß Tunneln von Elektronen vom Kanalbereich 38 zum potentialungebundenen Gate 32 während eines Löschvorgangs veranlaßt wird, ist zwischen dem Kanalbereich und dem potentialungebundenen Gate 32 ausgebildet.

Fig. 10a veranschaulicht eine zweite Konstruktionsform einer erfindungsgemäßen nichtflüchtigen Speicherzelle, und Fig. 10b zeigt einen Schnitt entlang der Linie II-II' in Fig. 10a.

Gemäß den Fig. 10a und 10b ist die zweite Konstruktionsform der in den Fig. 9a und 9b dargestellten ersten Konstruktionsform ähnlich. In den Fig. 10a und 10b ist dargestellt, daß sich das Programmier-/Auswählgate 31 von der Seite der Source 36 zu einem Teil über einer Fläche des potentialungebundenen Gates 32 erstreckt.

Ein Layout, wie es in Fig. 10a dargestellt ist, soll zur Entnahme von Elektronen von einer Kante 32a des Potentialungebundenen Gates 32 durch die dielektrische Schicht 47 zu einer Kante 31a des Programmier-/Auswählgates 31 dienen. Unter Verwendung derartiger Kanten ist eine bessere Elektronentransmission möglich. Daher ist die dielektrische Schicht 47 an einer zur Seite der Source 36 zeigenden Kante 47a dünner ausgebildet als in anderen Bereichen.

Fig. 11a veranschaulicht eine dritte Konstruktionsform einer erfindungsgemäßen nichtflüchtigen Speicherzelle, und Fig. 11b zeigt einen Schnitt entlang der Linie III-III' in Fig. 11a.

Gemäß den Fig. 11a und 11b ist die dritte Konstruktionsform der in den Fig. 9a und 9b dargestellten ersten Konstruktionsform ähnlich. In den Fig. 11a und 11b ist dargestellt, daß sich das Programmier-/Auswählgate 31 so erstreckt, daß es die Gesamtflächen des potentialungebundenen Gates 32 und des Steuergates 33 überdeckt.

Gemäß den Fig. 11a und 11b umfaßt die nichtflüchtige Speicherzelle gemäß der dritten Konstruktionsform ein Halbleitersubstrat 30 von erstem Leitungstyp mit einer Source 36, einem Drain 37 und einem Kanalbereich 38 zwischen der Source 36 und dem Drain 37 an einer ersten Oberfläche derselben, eine auf dem Halbleitersubstrat 30 ausgebildete Gateisolierschicht 48, ein potentialungebundenes Gate 32, das auf der Seite des Drains 37 auf einer Fläche des Kanalbereichs 38 ausgebildet ist, ein Steuergate 33, das auf dem potentialungebundenen Gate 32 auf der Seite des Drains 37 ausgebildet ist, wobei die Breite kleiner als die des potentialungebundenen Gates 32 ist, ein Programmier-/Auswählgate 31, das so ausgebildet ist, daß es sich von einer freiliegenden Fläche des Kanalbereichs 38 auf der Seite der Source 36 über die Flächen des potentialungebundenen Gates 32 und des Steuergates 33 zur Fläche des Drains 37 erstreckt, und eine zwischen dem Programmier-/Auswählgate 31, dem potentialungebundenen Gate 32 und dem Steuergate 33 ausgebildete dielektrische Schicht 47 mit einer Dicke zwischen einer Seite des potentialungebundenen Gates 32 und einer Seite des Programmier-/Auswählgates 31 auf der Seite des Drains 37, die ausreichend dünn ausgebildet ist, um Tunneln zu bewirken. Dieses Layout ist für ein Tunneln von Elektronen auf der Seite des Drains 37 durch die dielektrische Schicht 47 zwischen der Seite des Programmier-/Auswählgates und der Seite des potentialungebundenen Gates 32 konzipiert.

Fig. 12a veranschaulicht eine vierte Konstruktionsform einer erfindungsgemäßen nichtflüchtigen Speicherzelle, und Fig. 12b zeigt einen Schnitt entlang der Linie IV-IV' in Fig. 12a.

Gemäß den Fig. 12a und 12b ist die vierte Konstruktionsform der dritten Konstruktionsform mit der Ausnahme ähnlich, daß Kanten 31b, 32b sowie 47b des Programmier-/Auswählgates 31, des potentialungebundenen Gates 32 und der dielektrischen Schicht 47, die jeweils auf der Seite des Drains 47 an einander zugewandten Positionen ausgebildet sind, vorliegen, die einen dort hindurchgehenden Tunnelvorgang ermöglichen. Daher ist die Dicke der dielektrischen Schicht 47 in diesem Teil dünner als im anderen Teil, um das Tunneln zu ermöglichen.

Wie oben beschrieben, ist die Erfindung hinsichtlich der folgenden Gesichtspunkte von Vorteil.

Erstes ist handliche Einzel- oder Mehrpegelprogrammierung dadurch erleichtert, daß nur die Steuergatespannung variiert wird, die zum Ausführen des Programmiervorgangs für jeden Schwellenpegel erforderlich ist.

Zweitens ist, da die Beziehung zwischen jedem der Schwellenspannungspegel und jedem der entsprechenden Steuergatespannungen linear ist, und da die Verschiebung der Schwellenspannung mit der Verschiebung der Steuergatespannung übereinstimmt, eine genaue Einstellung der Verschiebung der Schwellenspannung für jeden Pegel verfügbar.

Drittens beseitigt die Erleichterung gleichzeitiger Programmierung und Verifizierung innerhalb der nichtflüchtigen Speicherzelle selbst das Erfordernis einer gesonderten Schaltung zum Verifizieren der Programmierung, was dazu beiträgt, die Programmiergeschwindigkeit zu erhöhen.

Viertens ist der Energieverbrauch sehr klein, da der Programmiervorgang endet, wenn die Zelle vom ausgeschalteten in den eingeschalteten Zustand übergeht.

Fünftens ist keine Vorprogrammierung für einen Löschvorgang erforderlich.

Sechstens wird bei der Erfindung die Genauigkeit einer Mehrpegelprogrammierung, d. h. die Abweichungsstreuung programmierter Schwellenspannungen, dadurch genau bestimmt, daß nur Parameter bei der Herstellung des nichtflüchtigen Speichers fixiert werden und Vorspannungen angelegt werden. Demgemäß hängt die Abweichungsverteilung jeweiliger Pegel beim erfindungsgemäßen nichtflüchtigen Speicher nicht von zahlreichen Programmier-/Löschzyklen ab. Selbst während der Programmierung hängt der Speicher nicht von Ladungsfallen in einer Oxidschicht, von der Beweglichkeit im Kanal, vom Bitleitungswiderstand oder von instabilen oder unvorhersagbaren elektrischen Parametern ab.

Siebtens ermöglicht es die Spannungssteuerung mittels der Steuergatespannung beim erfindungsgemäßen Verfahren zum Programmieren eines nichtflüchtigen Speichers, eine viel einfachere und genauere Mehrpegelprogrammierung als beim stromgesteuerten Typ auszuführen.

Achtens können die Source und der Drain so betrieben werden, daß sie für einen Lesevorgang nur auf eine niedrige Spannung (z. B.  $\approx 1$  V) geladen werden, was hinsichtlich einer Verkleinerung der Zellgröße sehr günstig ist.

## Patentansprüche

1. Nichtflüchtige Speicherzelle, gekennzeichnet durch:
  - ein Programmier-/Auswählgate (31), das als Anschluß zum Auswählen einer Zelle bei Programmier-, Lese- und Löschvorgängen und zum Ausführen einer Programmierung während eines Programmier-  
vorgangs dient;
  - ein potentialungebundenes Gate (32) zum Einspeichern von Ladungen zur Datenspeicherung und zum Abziehen von Ladungen an das Programmier-/Auswählgate während eines Programmier-  
vorgangs;
  - ein Steuergate (33) zum Induzieren eines Potentials im potentialungebundenen Gate zum Steuern der Menge der von diesem während des Programmiervorgangs zum Programmier-/Auswählgate entnommenen Ladungen; und
  - eine Transistoreinheit mit dem potentialungebundenen Gate, dem Programmier-/Auswählgate, einem Kanalbereich (38), einer Source (36) und einem Drain (37).
2. Zelle nach Anspruch 1, dadurch gekennzeichnet, daß zwischen dem Programmier-/Auswählgate (31) und dem potentialungebundenen Gate (32) eine Tunnelodiode ausgebildet ist.
3. Zelle nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß das Steuergate (33) das Potential im potentialungebundenen Gate (32) durch kapazitive Kopplung induziert.
4. Zelle nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß die Transistoreinheit folgendes aufweist:
  - einen Speichertransistor, mit:
    - einem ersten Teil des Kanalbereichs (38) zwischen dem Programmier-/Auswählgate (31) und dem potentialungebundenen Gate (32), um als Drain zu dienen;
    - einem zweiten Teil des Kanalbereichs unter dem potentialungebundenen Gate, um als Kanalbereich zu dienen;
    - dem Steuergate, dem Potentialungebundenen Gate und dem Drain;
    - wobei dieser Speichertransistor dazu dient, Daten im potentialungebundenen Gate zu speichern; und
  - einen Auswähltransistor, mit:
    - dem Programmier-/Auswählgate;
    - einem dritten Teil des Kanalbereichs unter dem Programmier-/Auswählgate und der Source, um als Kanalbereich zu dienen; und
    - dem ersten Teil, der als Source und als Drain dient;
    - wobei der Auswähltransistor dazu dient, den zwischen dem Drain und der Source zum Auswählen einer Zelle fließenden Strom zu steuern.
5. Zelle nach Anspruch 4, dadurch gekennzeichnet, daß der Auswähltransistor den Strom unabhängig von der Schwellenspannung des Speichertransistors steuert.
6. Zelle nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß sie während eines Löschvorgangs Ladungen entweder durch drainseitiges Tunneln oder durch Injektion heißer Ladungsträger an das potentialungebundene Gate (32) liefert.
7. Zelle nach einem der Ansprüche 1—5, dadurch gekennzeichnet, daß sie während eines Löschvorgangs Ladungen entweder durch sourceseitiges Tunneln oder durch Injektion heißer Ladungsträger an das potentialungebundene Gate (32) liefert.
8. Zelle nach einem der Ansprüche 1—5, dadurch gekennzeichnet, daß sie während eines Löschvorgangs Ladungen entweder durch kanalseitiges Tunneln oder durch Injektion heißer Ladungsträger an das Potentialungebundene Gate (32) liefert.
9. Zelle nach einem der vorstehenden Ansprüche, gekennzeichnet durch:
  - eine erste Spannungsquelle (39) zum Liefern einer Spannung an das Steuergate (33);
  - eine zweite Spannungsquelle (40) zum Liefern einer Spannung an das Programmier-/Auswählgate (31);
  - eine dritte Spannungsquelle (41) zum Liefern einer Spannung an den Drain (37);
  - eine vierte Spannungsquelle (42) zum Liefern einer Spannung an die Source (36), wobei diese Spannung kleiner als die an den Drain gelieferte Spannung ist; und
  - einen Stromdetektor (43) zum Erfassen des Stroms durch den Drain während eines Programmier-  
vorgangs und zum Erzeugen eines Programmierstoppsignals an die erste und/oder zweite Spannungs-  
quelle, wenn der erfaßte Strom durch den Drain eine vorbestimmte Bezugsstromstärke erreicht, um das Liefern von Spannungen anzuhalten.
10. Zelle nach Anspruch 9, dadurch gekennzeichnet, daß die von der ersten Spannungsquelle (39) an das Steuergate (33) gelieferte Spannung eine negative Spannung ist, die abhängig von der Programmierung für jeden Schwellenpegel bei Mehrpegelprogrammierung variiert wird, die von der zweiten Spannungsquelle (40) an das Programmier-/Auswählgate (31) gelieferte Spannung eine positive Spannung ist, die von der dritten Spannungsquelle (41) gelieferte Spannung eine positive Spannung ist und die von der vierten Spannungsquelle (42) an die Source (36) gelieferte Spannung eine positive Spannung ist, die niedriger als die von der dritten Spannungsquelle gelieferte Spannung ist.
11. Zelle nach Anspruch 10, dadurch gekennzeichnet, daß die Source (36) auf Massespannung liegt.
12. Zelle nach einem der Ansprüche 1 bis 9, gekennzeichnet durch:
  - eine erste Spannungsquelle (39) zum Anlegen einer Spannung an das Steuergate (33);
  - eine zweite Spannungsquelle (40) zum Anlegen einer Spannung an das Programmier-/Auswählgate



- (31); und  
 — einen Spannungsdetektor zum Überwachen der Spannung am Drain während eines Programmier-  
 vorgangs und zum Liefern eines Programmierstoppsignals an die erste und/oder zweite Spannungs-  
 quelle, wenn die am Drain überwachte Spannung einen vorbestimmten Bezugsspannungswert erreicht,  
 um das Liefern der Spannungen zu beenden. 5
13. Zelle nach Anspruch 12, dadurch gekennzeichnet, daß die von der ersten Spannungsquelle (39) an das  
 Steuergate (33) angelegte Spannung eine negative Spannung ist, die entsprechend der Programmierung  
 jedes Schwellenwerts bei Mehrpegelprogrammierung variiert wird und die von der zweiten Spannungs-  
 quelle (40) an das Programmier-/Auswählgate (31) angelegte Spannung eine konstante positive Spannung  
 ist. 10
14. Zelle nach einem der Ansprüche 12 oder 13, dadurch gekennzeichnet, daß  
 — der Spannungsdetektor eine Bezugsspannungsquelle zum Liefern einer voreingestellten Bezugs-  
 spannung aufweist und  
 — ein Widerstand zwischen der Bezugsspannungsquelle und dem Drain (37) geschaltet ist. 15
15. Zelle nach einem der Ansprüche 12 oder 13, dadurch gekennzeichnet, daß  
 — der Spannungsdetektor eine Bezugsspannungsquelle zum Liefern einer voreingestellten Bezugs-  
 spannung aufweist und  
 — eine Diode zwischen der Bezugsspannungsquelle und dem Drain (37) geschaltet ist. 20
16. Zelle nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß  
 — das potentialungebundene Gate (32) dazu dient, zusammen mit dem Programmier-/Auswählgate  
 (31) einen Programmierstrompfad zu bilden; und  
 — der Transistor ein Feldeffekttransistor mit einem Überwachungspfad ist, der während der Program-  
 mierung völlig vom Programmierstrompfad getrennt ist, um den programmierten Zustand während  
 der Programmierung zu überwachen. 25
17. Zelle nach Anspruch 16, dadurch gekennzeichnet, daß das Überwachen des programmierten Zustands  
 das Überwachen der Leitfähigkeit des Kanals abhängig von einer Änderung der Ladungsmenge im Poten-  
 tialungebundenen Gate (32) beinhaltet. 30
18. Zelle nach Anspruch 16, dadurch gekennzeichnet, daß das Überwachen des programmierten Zustands  
 das Überwachen des Stroms durch die Source (36) oder den Drain (37) beinhaltet. 35
19. Zelle nach einem der Ansprüche 16 bis 18, gekennzeichnet durch einen Meßverstärker zum Überwachen  
 des programmierten Zustands. 40
20. Zelle nach einem der Ansprüche 16 bis 19, dadurch gekennzeichnet, daß der Feldeffekttransistor den  
 programmierten Zustand nicht unmittelbar während der Programmierung, sondern dadurch überwacht,  
 daß Programmierung und Überwachung abgewechselt werden. 45
21. Verfahren zum Programmieren einer nichtflüchtigen Speicherzelle mit einem Steuergate, einem poten-  
 tialungebundenen Gate, einem Programmier-/Auswählgate, einem Drain, einer Source und einem Kanalbe-  
 reich zwischen dem Drain und der Source, gekennzeichnet durch die folgenden Schritte:  
 — Anlegen einer ersten Spannung an das Steuergate; Anlegen einer zweiten Spannung an das Pro-  
 grammier-/Auswählgate; Anlegen einer dritten Spannung an den Drain und Anlegen einer vierten  
 Spannung an die Source, um die Menge von Ladungen im potentialungebundenen Gate so zu ändern,  
 daß der Kanalbereich im Anfangsstadium eines Programmiervorgangs für einen einzelnen Pegel  
 abgeschaltet wird und er zum Ausführen des Programmiervorgangs für den einzelnen Pegel einge-  
 schaltet wird; und  
 — Überwachen der Leitfähigkeit des Kanalbereichs während des Programmiervorgangs, um das  
 Beenden des Anlegens der ersten und/oder zweiten Spannung an das Steuergate bzw. das Program-  
 mier-/Auswählgate zu erzwingen, wenn die überwachte Leitfähigkeit gemäß der Messung einem  
 vorbestimmten Bezugswert entspricht. 50
22. Verfahren nach Anspruch 21, dadurch gekennzeichnet, daß der Bezugswert eine Schwellenspannung ist. 55
23. Verfahren nach einem der Ansprüche 21 oder 22, dadurch gekennzeichnet, daß die erste Spannung eine  
 negative Spannung ist, die zweite Spannung eine positive Spannung ist, die dritte Spannung eine positive  
 Spannung ist und die vierte Spannung eine positive Spannung mit niedrigerem Wert als dem der dritten  
 Spannung ist. 60
24. Verfahren nach einem der Ansprüche 21 bis 23, dadurch gekennzeichnet, daß die Sourcespannung die  
 Massespannung ist. 65
25. Verfahren nach einem der Ansprüche 21 bis 24, dadurch gekennzeichnet, daß der Schritt des Überwa-  
 chens der Leitfähigkeit des Kanalbereichs einen Schritt des Überwachens des durch den Drain fließenden  
 Stroms umfaßt. 70
26. Verfahren nach einem der Ansprüche 21 bis 24, dadurch gekennzeichnet, daß der Schritt des Überwa-  
 chens der Leitfähigkeit des Kanalbereichs einen Schritt des Überwachens einer Änderung der Menge von  
 Ladungsträgern im potentialungebundenen Gate umfaßt. 75
27. Verfahren zum Programmieren einer nichtflüchtigen Speicherzelle mit einem Steuergate, einem Poten-  
 tialungebundenen Gate, einem Programmier-/Auswählgate, einem Drain, einer Source und einem Kanalbe-  
 reich zwischen dem Drain und der Source, gekennzeichnet durch die folgenden Schritte:  
 — Anlegen einer ersten Spannung an das Steuergate; Anlegen einer zweiten Spannung an das Pro-  
 grammier-/Auswählgate während eines Programmiervorgangs für mehrere Pegel, um die Menge von  
 Ladungen im Potentialungebundenen Gate so zu variieren, daß der Kanalbereich in einem Anfangsstadi-  
 um der Programmierung auf jeden Pegel ausgeschaltet wird und zum Ausführen der Pegelprogram-  
 mierung eingeschaltet wird; wobei die erste Spannung abhängig von der Programmierung für jeden



- Schwellenpegel variiert; und  
 — Überwachen der Leitfähigkeit des Kanalbereichs während der Programmierung für jeden Pegel, um das Beenden des Anlegens der ersten und/oder der zweiten Spannung an das Steuergate und das Programmier-/Auswählgate zu erzwingen, wenn die überwachte Leitfähigkeit gemäß der Messung einem vorbestimmten Bezugswert entspricht.
28. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß der Bezugswert ein fester Wert ist, der nicht vom Programmervorgang für jeden Schwellenpegel abhängt.
29. Verfahren nach Anspruch 28, dadurch gekennzeichnet, daß der Bezugswert ein Schwellenspannungswert ist.
30. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß die erste Spannung ein negativer Wert ist, der mit dem Programmervorgang für jede Schwelle variiert wird, die zweite Spannung eine immer festgelegte positive Spannung ist, die dritte Spannung eine positive Spannung ist und die vierte Spannung eine positive Spannung mit kleinerem Wert als dem der dritten Spannung ist.
31. Verfahren nach Anspruch 30, dadurch gekennzeichnet, daß die zweite Spannung im Anfangsstadium des Programmervorgangs einen hohen Wert aufnimmt und sie während des Programmervorgangs auf den festen positiven Wert abnimmt.
32. Verfahren nach Anspruch 30, dadurch gekennzeichnet, daß die Sourcespannung die Massespannung ist.
33. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß der Schritt des Überwachens der Leitfähigkeit des Kanalbereichs einen Schritt des Erfassens des durch den Drain fließenden Stroms umfaßt.
34. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß der Schritt des Überwachens der Leitfähigkeit des Kanalbereichs einen Schritt des Überwachens einer Änderung der Menge von Ladungsträgern im potentialungebundenen Gate umfaßt.
35. Nichtflüchtige Speicherzelle, gekennzeichnet durch:  
 — ein Halbleitersubstrat (30) mit einer Source (36), einem Drain (37) und einem Kanalbereich (38) zwischen der Source und dem Drain an einer Oberfläche desselben;  
 — ein Programmier-/Auswählgate (31), das auf der Sourceseite an der Oberfläche des Kanalbereichs ausgebildet ist;  
 — ein potentialungebundenes Gate (32), das auf der Drainseite auf der Oberfläche des Kanalbereichs ausgebildet ist und eine Seite aufweist, die benachbart zu einer Seite des Programmier-/Auswählgates liegt, damit Elektronen hindurchtunneln können;  
 — ein Steuergate (33), das über dem potentialungebundenen Gate ausgebildet ist; und  
 — eine dielektrische Schicht (47), die zwischen dem Programmier-/Auswählgate, dem potentialungebundenen Gate und dem Steuergate mit einer Dicke zwischen der einen Seite des potentialungebundenen Gates und der einen Seite des Programmier-/Auswählgates ausgebildet ist, die ausreichend dünn zum Ermöglichen von Tunneln ausgebildet ist (Fig. 9a, 9b).
36. Nichtflüchtige Speicherzelle, gekennzeichnet durch:  
 — ein Halbleitersubstrat (30) mit einer Source (36), einem Drain (37) und einem Kanalbereich (38) zwischen der Source und dem Drain an einer Oberfläche desselben;  
 — ein potentialungebundenes Gate (32), das auf der Oberfläche des Kanalbereichs auf der Drainseite ausgebildet ist;  
 — ein Programmier-/Auswählgate (31), das so ausgebildet ist, daß es sich von einem Teil auf der Oberfläche des Kanalbereichs auf der Sourceseite zu einem Teil über der Oberfläche des potentialungebundenen Gates erstreckt; und das eine Kante aufweist, die einer Kante des potentialungebundenen Gates gegenübersteht;  
 — ein Steuergate (33), das über dem potentialungebundenen Gate ausgebildet ist; und  
 — eine dielektrische Schicht (47), die zwischen dem Programmier-/Auswählgate, dem potentialungebundenen Gate und dem Steuergate mit einer Dicke zwischen der Kante des potentialungebundenen Gates und der Kante des Programmier-/Auswählgates ausgebildet ist, die ausreichend dünn zum Ermöglichen von Tunneln ausgebildet ist (Fig. 10a, 10b).
37. Nichtflüchtige Speicherzelle, gekennzeichnet durch:  
 — ein Halbleitersubstrat (30) mit einer Source (36), einem Drain (37) und einem Kanalbereich (38) zwischen der Source und dem Drain an einer Oberfläche desselben;  
 — ein potentialungebundenes Gate (32), das auf der Oberfläche des Kanalbereichs auf der Drainseite ausgebildet ist;  
 — ein Steuergate (33), das über dem potentialungebundenen Gate ausgebildet ist;  
 — ein Programmier-/Auswählgate (31), das so ausgebildet ist, daß es sich von einem Teil auf der Oberfläche des Kanalbereichs auf der Sourceseite zu einem Teil auf der Oberfläche des Drains auf der Drainseite so erstreckt, daß seine eine Seite benachbart zu einer Seite des Potentialungebundenen Gates gegenübersteht, und das Tunneln von Elektronen zu ermöglichen; und  
 — eine dielektrische Schicht (47), die zwischen dem Programmier-/Auswählgate, dem potentialungebundenen Gate und dem Steuergate mit einer Dicke zwischen der einen Seite des potentialungebundenen Gates und der einen Seite des Programmier-/Auswählgates ausgebildet ist, die ausreichend dünn zum Ermöglichen von Tunneln ausgebildet ist (Fig. 11a, 11b).
38. Nichtflüchtige Speicherzelle, gekennzeichnet durch:  
 — ein Halbleitersubstrat (30) mit einer Source (36), einem Drain (37) und einem Kanalbereich (38) zwischen der Source und dem Drain an einer Oberfläche desselben;  
 — ein potentialungebundenes Gate (32), das auf der Oberfläche des Kanalbereichs auf der Drainseite ausgebildet ist;

- ein Steuergate (33), das über dem potentialungebundenen Gate ausgebildet ist;
  - ein Programmier-/Auswählgate (31), das so ausgebildet ist, daß es sich von einem Teil auf der Oberfläche des Kanalbereichs auf der Sourceseite zu einem Teil auf dem Drains zum Überdecken aller freiliegenden Oberflächen des potentialungebundenen Gates und des Steuergates erstreckt, wobei es eine Kante aufweist, die einer Kante des Potentialungebundenen Gates auf der Drainseite zugewandt ist; und
  - eine dielektrische Schicht (47), die zwischen dem Programmier-/Auswählgate, dem potentialungebundenen Gate und dem Steuergate mit einer Dicke zwischen der Kante des potentialungebundenen Gates und der Kante des Programmier-/Auswählgates ausgebildet ist, die ausreichend dünn zum Ermöglichen von Tunneln ausgebildet ist (Fig. 12a, 12b).
39. Verfahren nach einem der Ansprüche 35 bis 38, gekennzeichnet durch eine Gateisolierschicht, die ausreichend dünn dafür ausgebildet ist, daß Tunneln von Elektronen zwischen dem Kanalbereich (38), dem potentialungebundenen Gate (32) und dem Programmier-/Auswählgate (31) ermöglicht ist.

Hierzu 12 Seite(n) Zeichnungen

- Leerseite -

FIG.1a

STAND DER TECHNIK

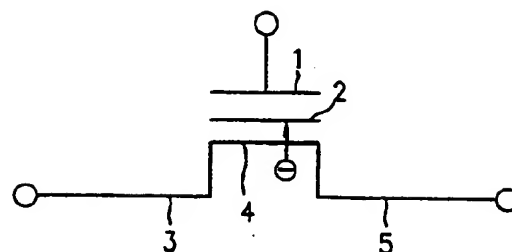


FIG.1b

STAND DER TECHNIK

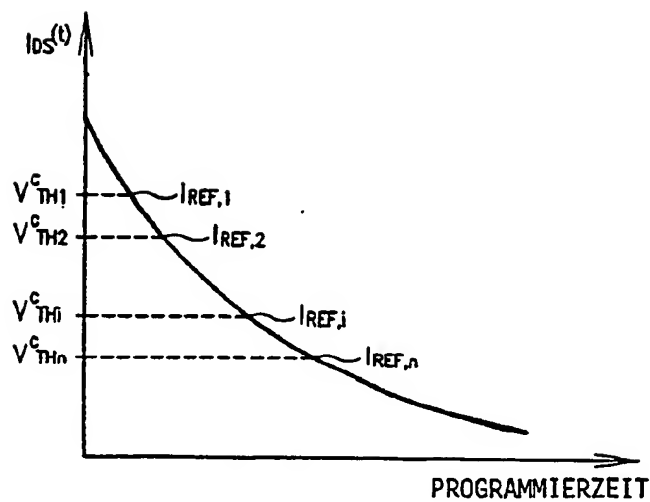


FIG.2a

STAND DER TECHNIK

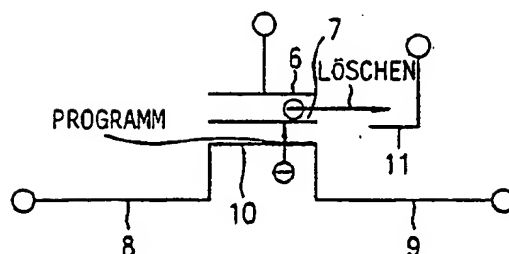


FIG.2b

STAND DER TECHNIK

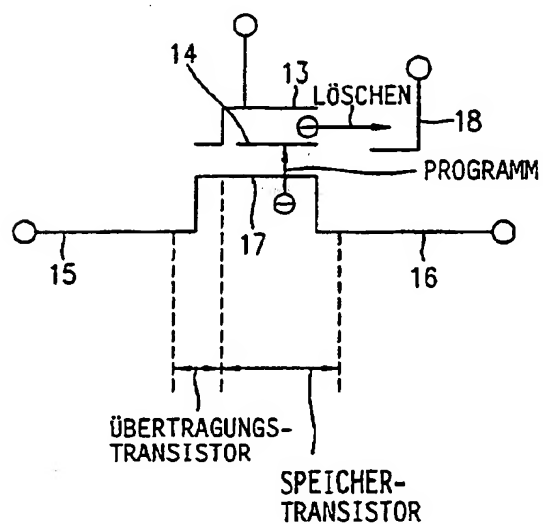


FIG.3a

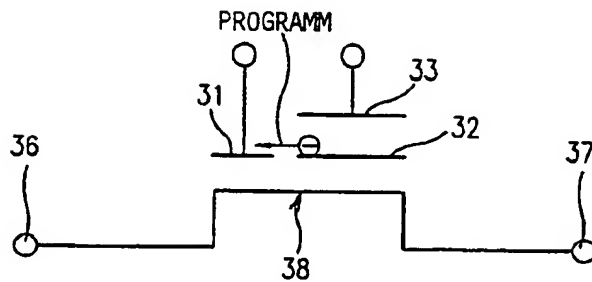


FIG.3b

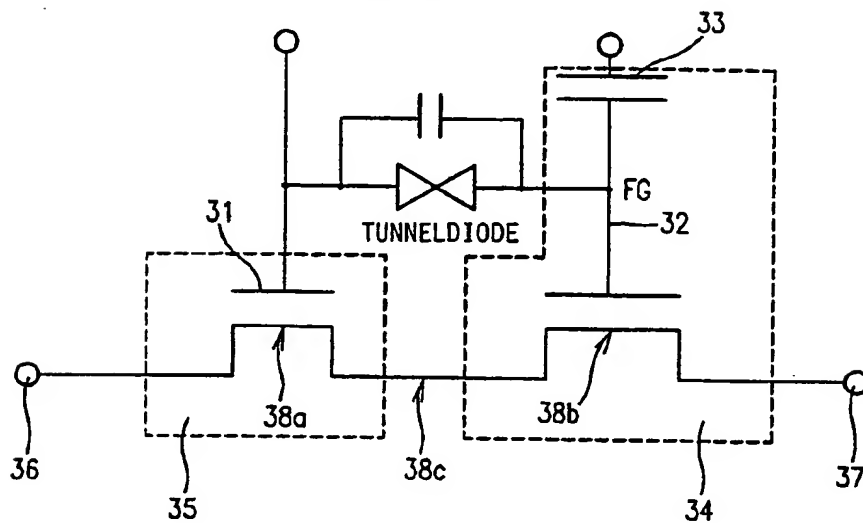


FIG.3c

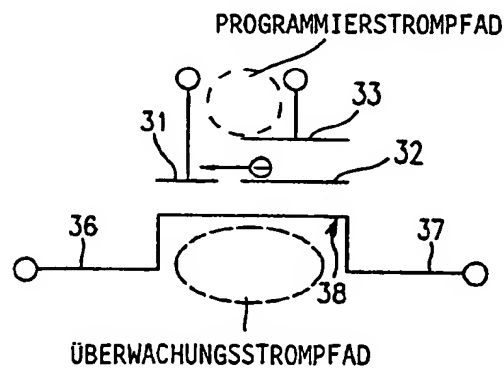




FIG.4

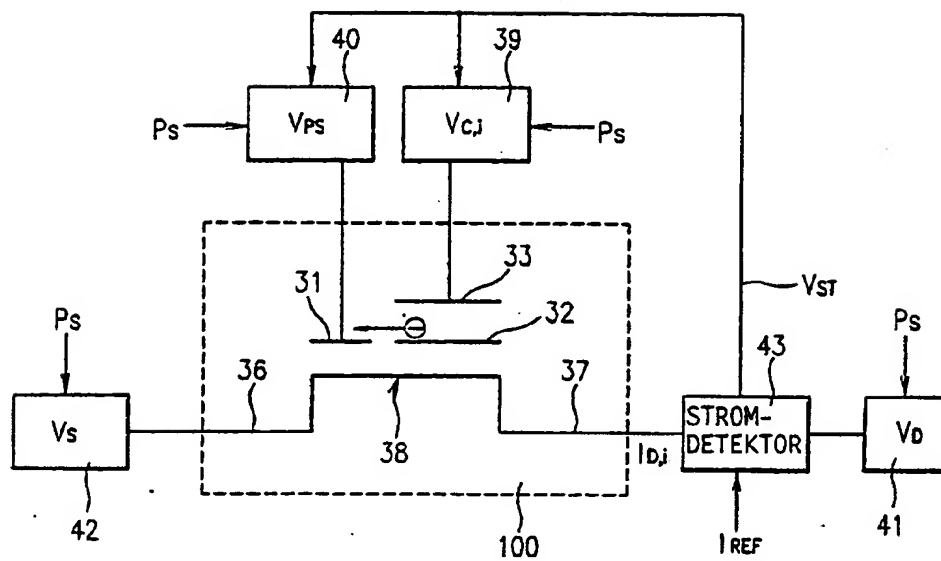


FIG.5a

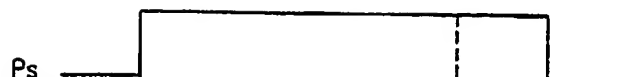


FIG.5b

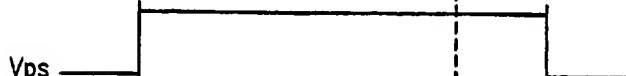


FIG.5c



FIG.5d

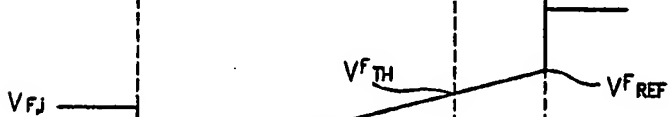


FIG.5e



FIG.5f



FIG.5g

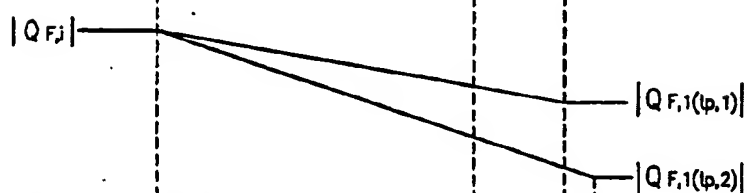


FIG.5h

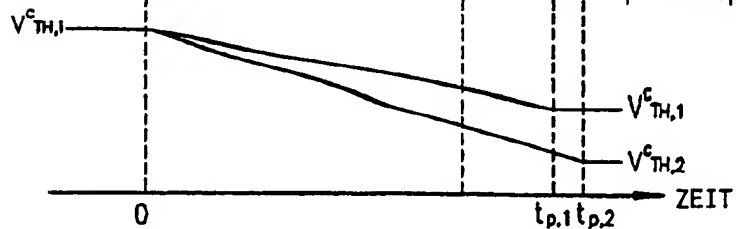


FIG.6

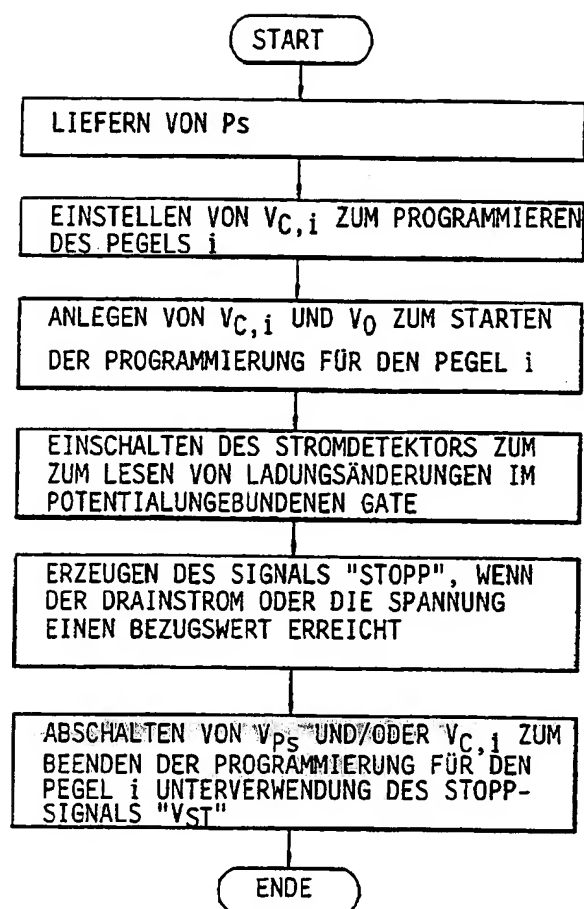


FIG.7a

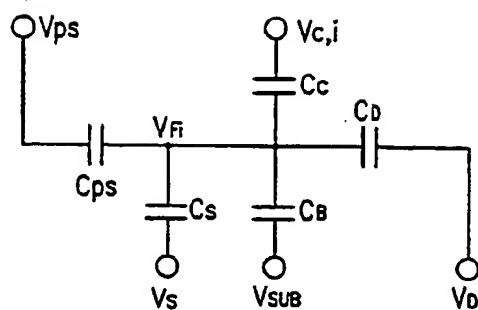


FIG.7b

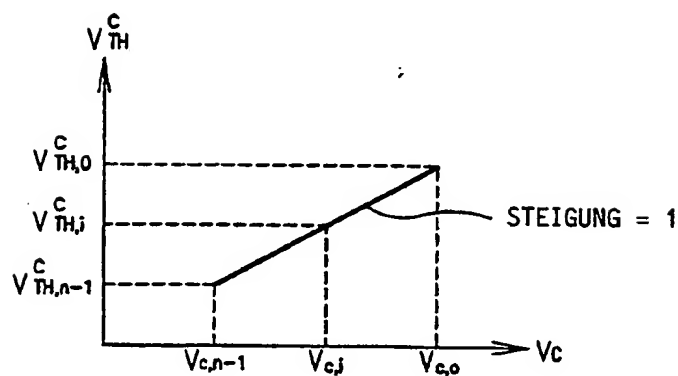


FIG.7c

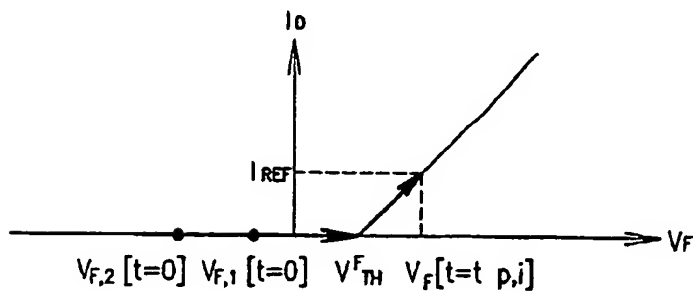


FIG. 8a

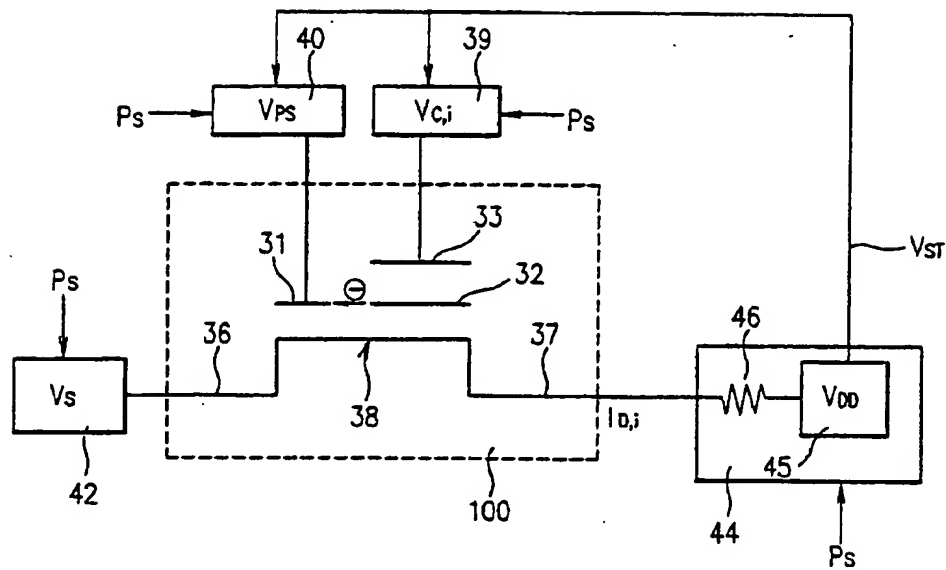


FIG. 8b

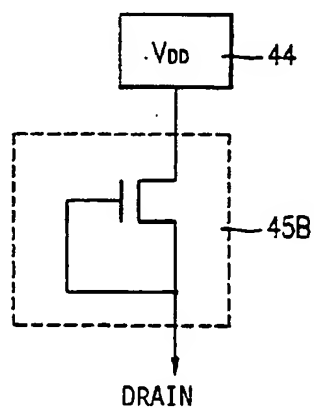


FIG.9a

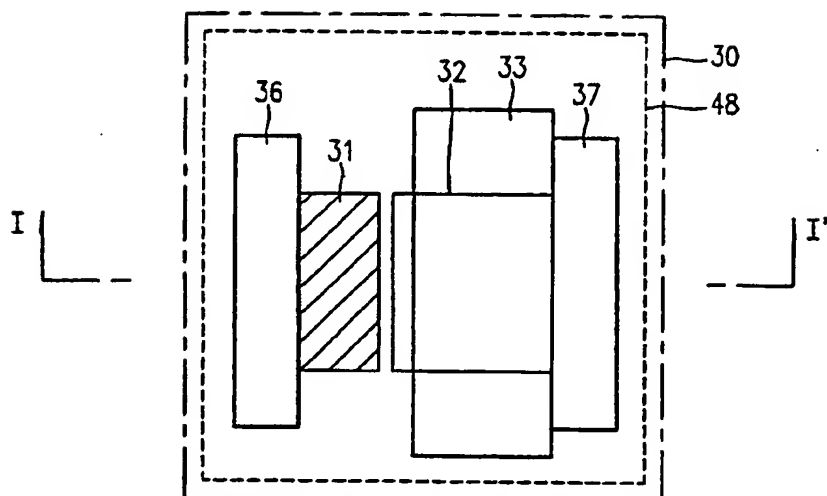


FIG.9b

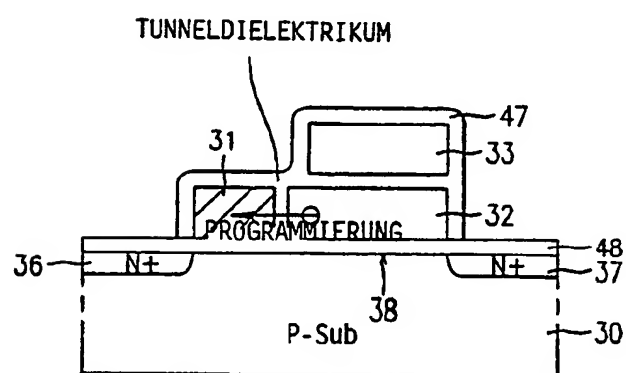




FIG.10a

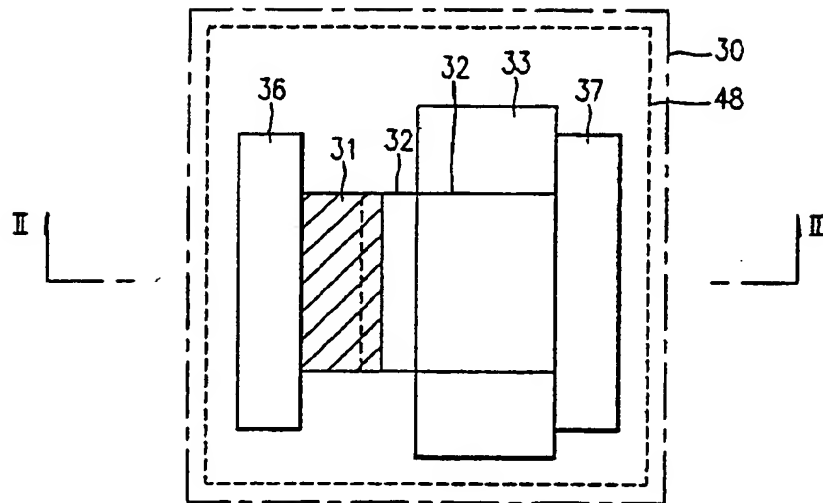


FIG.10b

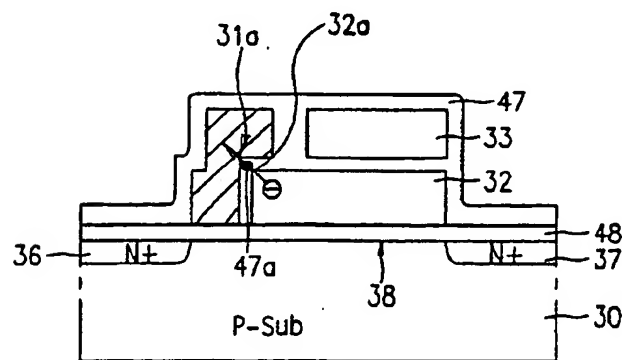


FIG.11a

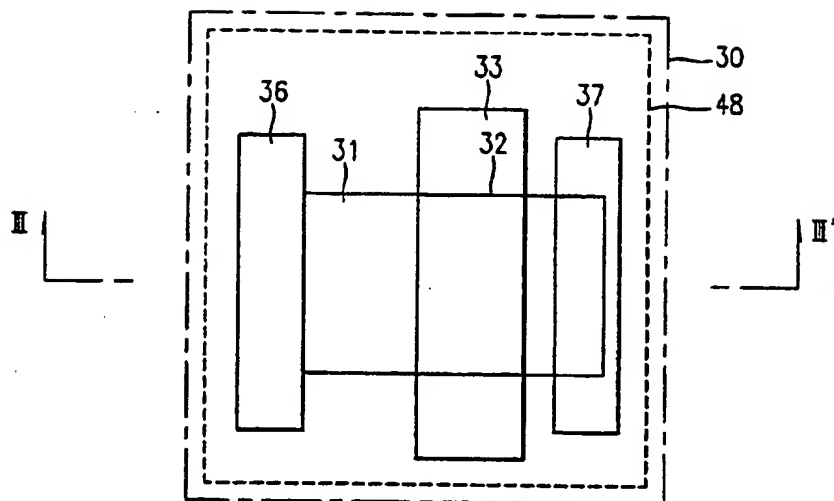


FIG.11b

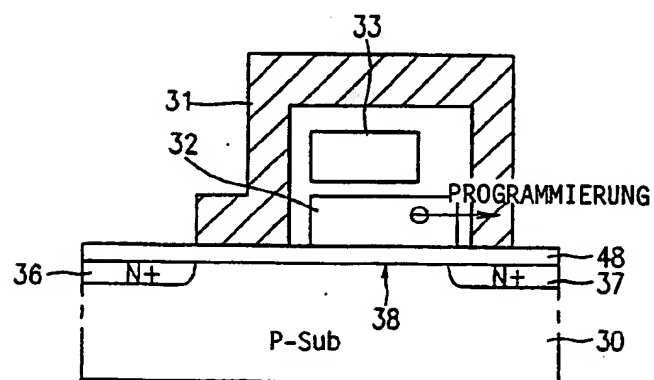


FIG. 12a

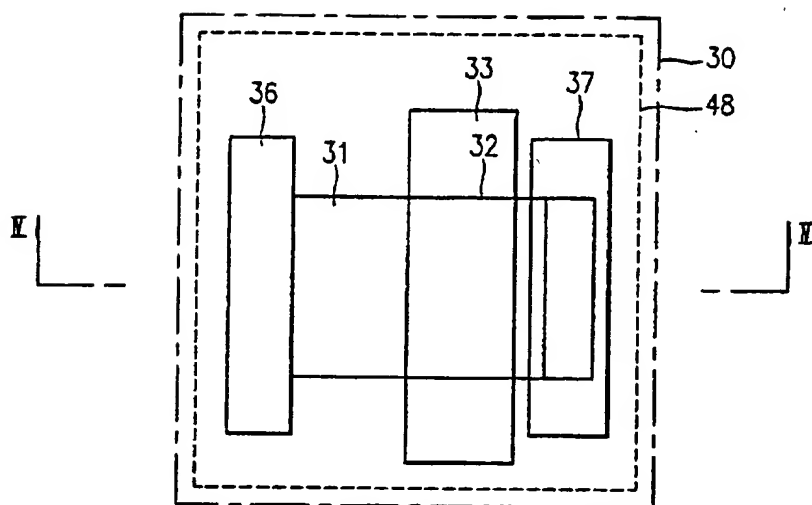


FIG. 12b

